مجلة جامعة تشرين للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (41) العدد (2) 2019
Tishreen University Journal for Research and Scientific Studies - Engineering Sciences Series Vol. (41) No. (2) 2019

Measurement of weak amplitude signal by using Digital lock-in amplifier

Bader Aldeen Almofashi*

(Received 4 / 2 / 2018. Accepted 28 / 3 / 2019)

□ ABSTRACT □

The Lock-in digital amplifier is a means to measure the frequency and phase of a signal known as frequency. It is also one of the best ways to measure the meter in a high noise environment. At the beginning of the measurement process, use a filter with a very narrow field width around the measured signal frequency. Then the digital amplifier applications were reviewed and the reasons for the choice of the amplifier were determined based on the FPGA chip in the measurement process for the required signal. The lower squares method was used to perform the signal amplitude calculation process and the calculated results were transferred to a host computer via the serial UART connection to finalize Accounts and display results.

In the process of practical implementation of the process of calculating the required signal capacity, the specifications of the equipment and the necessary software packages were discussed. Some experiments were carried out through the implementation of simple circuits to identify the development of the FPGA and Verilog language. And all blocks of equipment and gaskets were executed separately to ensure proper implementation. Then all the blocks were integrated into one circle. The first stage of implementation was to create a search table on Matlab, then implement it on FPGA and simulate its results and compare them with the results of Matlab. The results were identical.The last stage is to conduct some experiments with different input signals at different frequencies and capacities and show that the maximum amplitude measured correctly was less than 2.5 V.

The research is achieved in laboratories of Mechanical and Electrical Engineering Faculty in Damascus University. It took about one year to finish.

Keywords: Digital lock-in amplifier, synchronous detection, phase-sensitive detection, FPGA Verilog, is a hardware description language (HDL) used to model electronic systems

* **Work Supervisor, Member of technical stuff, Mechanical and Electrical Engineering Faculty ، DAMASCUS University.**
E-mail : eng_bader2002@yahoo.com

مجلة جامعة تشرين للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (41) العدد (2) 2019
Tishreen University Journal for Research and Scientific Studies - Engineering Sciences Series Vol. (41) No. (2) 2019

قياس مطال إشارة ضعيفة باستخدام مكبرالإحكام الرقمي

بدر الدين المفشي*

(تاريخ الإيداع 4 / 2 / 2018. قُبِل للنشر في 28/ 3 / 2019)

□ ملخّص □

إن مكبر الإحكام الرقمي عبارة عن وسيلة لقياس مطال وطور إشارة ما معروفة التردد. كما يُعد واحداً من أفضل الطرق لقياس المطال في بيئة ذات ضجيج عالٍ. في بداية عمليه القياس استُخدم مرشح ذات عرض مجال ضيق جداً حول تردد الإشارة المقاسة. وبعد ذلك تم استعراض تطبيقات مكبر الاحكام الرقمي وبيان الاسباب في اختيار مكبر الاحكام معتمد على شريحه FPGA في عمليه قياس المطال لإشارة المطلوبة.حيث استخدمت طريقة المربعات الصغرى للقيام بعمليه حساب سعة الإشارة وتم نقل النتائج المحسوبة إلى كمبيوتر مضيف عبر الاتصال UART التسلسلي لوضع اللمسات الأخيرة على الحسابات وعرض النتائج.

في مرحلة التنفيذ العملي لعمليه حساب سعة الاشارة المطلوبة تم مناقشه مواصفات التجهيزات وخوارزميات البرامج اللازمة ، وقد أجريت بعض التجارب من خلال تنفيذ دارات بسيطة للتعرف على تطوير شريحه FPGA ولغة Verilog لغة وصف الأجهزة. تم تنفيذ جميع كتل التجهيزات والخوارزميات على حدة لضمان صحة التنفيذ. بعدها تم إجراء عملية مكاملة جميع الكتل في دائرة واحدة. المرحلة الأولى من التنفيذ كانت إنشاء جدول البحث على ماتلاب، ثم تنفيذها على FPGA ومحاكاة نتائجها ومقارنتها مع نتائج من ماتلاب. وكانت النتائج متطابقة.

المرحلة الأخيرة هي إجراء بعض التجارب مع إشارات دخل مختلفة على ترددات وسعات مختلفة وتبين أن أقصى قدر من السعة تم قياسها بشكل صحيح كان أقل من 2.5 V .

اجري البحث في مختبرات كلية الهندسة الميكانيكية والكهربائية في جامعة دمشق، واستغرق تنفيذه مدة سنة كاملة.

الكلمات المفتاحية: مكبر الإحكام الرقمي، الاكتشاف المتزامن، الاكتشاف بالاعتماد على تحسس الطور، FPGA Verilog، هي لغة وصف الأجهزة (HDL) المستخدمة في تصميم الأنظمة الإلكترونية

*مشرف على الأعمال – كلية الهندسة الميكانيكية والكهربائية – جامعة دمشق– سورية.
البريد الالكتروني : eng_bader2002@yahoo.com

مقدمة

تعد القياسات في بيئة صاخبة (بيئة ضجيج) من التحديات التي يواجهها معظم المهندسين والباحثين في المشاريع العملية والأبحاث. تجري تطبيقات مثل قياسات الصوت الضوئي (Photoacoustic) وقياسات الضوء... إلخ، في كثير من الأحيان في بيئة صاخبة جداً. ولذلك، توجد الكثير من الطرق لقياس بعض خصائص الإشارة كالسعة، المرحلة، والتردد، إلخ. يُحتاج الى قياسات السعة لإشارة معروفة التردد – في كثير من الأحيان– في قياسات الصوت الضوئي (Photoacoustic). ومع ذلك، سوف تفشل الأساليب الكلاسيكية لقياس السعة عندما تكون سعة الإشارة المقاسة مخفيه تحت مستوى الضوضاء. ولذلك، ينبغي أن نستخدم أسلوباً مختلفاً للقياسات في مثل هذه التطبيقات، مثل كشف حساس الطور.

ان مكبر الإحكام (Lock-in amplifier) هو الأداة التي تستخدم في حالة الكشف عن مرحلة حساسة، ويجعل هذه القياسات ممكنة. وهناك الكثير من التطبيقات المختلفة لمكبر الإحكام (Lock-in amplifier). بعض من تلك التطبيقات تستند إلى المكونات التماثلية Analogue بينما تستند البقية إلى المكونات الرقمية Digital.

يكون كل نوع من أنواع مكبرات الإحكام (Lock-in amplifier) مناسباً أكثر من غيره لتطبيقات معينة. فمكبرات الإحكام (Lock-in amplifier) الرقمية يمكن تنفيذها على معالجات الإشارات الرقمية أو رقائق FPGA. تمتلك هذه المكبرات الرقمية الكثير من المزايا، ويشيع استخدامها في العديد من التطبيقات نظراً للأداء الجيد والتصميم غير المعقد وانخفاض تكلفة الإنتاج.

أنواع الضجيج:

ما نعنيه بالضجيج فعلا هو التنويعات أو التغيرات العشوائية الصغيرة في الإشارة.

تقسم مصادر الضجيج إلى نوعين أو فئتين: الأول مصدر داخلي مثل ضجيج جونسون وضجيج الطلقة، والثاني: مصدر خارجي. مصادر الضوضاء الخارجية يمكن أن توجد في البيئة مثل ضجيج خط الكهرباء ومحطات البث وحتى ضجيج الطاقة الشمسية.

أحد أكثر انواع الضجيج الداخلي شيوعاً هو ضجيج جونسون أو ما يعرف باسم الضجيج الحراري، ويتولد هذا النوع من التشويش بواسطة الحركة العشوائية للإلكترونات داخل موصل كهربائي بسبب التحريض الحراري، ويحدث ذلك بغض النظر عن الجهد التطبيقي، وهو يتناسب مع درجة الحرارة المطلقة للموصل الكهربائي.

وهو ضجيج أبيض تقريباً، لأن كثافة الطاقة الطيفية متساوية تقريبا في جميع أنحاء الطيف الترددي.

يعطى جذر متوسط مربع الجهد (RMS) بالنسبة للتشويش الحراري vn المتولد في مقاومة R على مجال تردده fهرتز بالمعادلة: $Vn = \sqrt{4KTRB}$

حيث:K ثابت بولتزمان: 1.83 ×10 −23،T: درجة الحرارة المطلقة للمقاومة مقاسة بالكلفن R،K: المقاومة مقاسة بالأوم ،B: عرض مجال القياس مقاساً بالهرتز.

نوع آخر من أنواع الضجيج الداخلي يُعرف باسم ضجيج الطلقة، ويتولد بسبب عدم التماثل في تدفق الإلكترونات الذي يولد ضجيج التيار الكهربائي، يظهر هذا الضجيج على شكل ضجيج في الجهد وذلك عند مرور التيار الكهربائي عبر مقاومة كهربائية

يعطى جذر متوسط مربع الجهد (RMS) بالنسبة لضجيج الطلقة بالمعادلة: $in = \sqrt{2I\mathrm{q}\mathrm{B}}$

حيث:q: هي شحنة الالكترون 1.6×10−19 كولون،I: هو التيار الكهربائي (متناوب أو مستمر) لجذر متوسط مربع الجهد،B: عرض المجال.

كل المقاومات الكهربائية – بغض النظر عن المادة المصنوعة منها – لها نفس الضجيج الحراري.

وهناك أيضاً نوع إضافي من الضجيج يسمى "ضجيج الاهتزاز" أو ضجيج I/f والذي يتولد بسبب التقلبات التي تحدث في المقاومة نتيجة مرور التيار فيها،هذا الضجيج له طيف من الـ I/f ويجعل القياسات عند الترددات المنخفضة أصعب.

توجد بالإضافة إلى مصادر الضوضاء الداخلية (الذاتية) المذكورة أعلاه مجموعة متنوعة من مصادر الضوضاء الخارجية، معظم هذه المصادر غير متزامنة، أي أنها لا تتعلق بمرجع، كما انها لا تحدث عند التردد المرجعي للإشارة ولا عند توافقياته. ومن أمثلته تركيبات الإضاءة، المحركات، وحدات التبريد، وأجهزة الراديو، وشاشات الكمبيوتر، إلخ.

المرشحات:

إن أول ما يتبادر إلى الذهن عند محاولة قياس إشارة تحمل ضجيج هو استخدام المرشحات ،التي يجب أن تمتلك عرض مجال ضيق جداً ويجب أن يتمركز حول التردد المطلوب، على كل حال لنعتمد على المثال التالي في توضيح فيما إذا كان استخدام المرشحات مفيداً فعلاً ومجدياً اقتصادياً في التطبيقات حيث تكون الإشارة مختفية (مدفونة) تحت مستوى الضجيج.

المطلوب قياس إشارة جيبيه بسعة 10 nV وتردد 10كيلو هرتز، فمن الواضح أن السعة للإشارة منخفضة جداً،وأنها سوف تتأثر بالضوضاء، إن استخدام مضخم عادي منخفض الضجيج سوف لن يضخم إشارة الإدخال فقط ولكن أيضا سيضخم إشارة الضجيج. و إذا كانت مرت إشارة الدخل عبر مرشح له ربح 1000، عرض مجال 100 كيلو هرتز وضجيج دخل 5 nV/√Hz فإن إشارة الخرج ستتكون من إشارة الدخل المكبرة والضجيج المكبر أيضاً. سعة إشارة الخرج 10 µV والضجيج يعطى بالمعادلة:

$$V_{noise} = Input\ noise * \sqrt{Bandwith} * Gain$$

$$V_{noise} = 5 * 10^{-9}\text{V}/\sqrt{\text{Hz}} * \sqrt{100 * 10^{+3} Hz} * 1000 = 1.58\text{mV}$$

ويتضح أن الإشارة لا يمكن تمييزها في مثل هذه الحالات. بعد المضخم السابق يتم استخدام مرشح تمرير المجال وذلك لقياس الإشارة المطلوبة فقط. هذا المرشح يتم تعييره على 10كيلو هرتز بعرض مجال 100 هرتز . إشارة الخرج أيضاً ستتكون من إشارة الدخل المضخمة بالإضافة إلى ضجيج الـ 50 µV $(V_{noise} = 5 * 10^{-9}\text{V}/\sqrt{\text{Hz}} * \sqrt{100Hz} * 1000 = 50\ \mu\text{V})$ ضجيج الخرج لا يزال أكبر بكثير من الإشارة، وبالتالي لا زلنا غير قادرين على إجراء قياس دقيق للإشارة، أي تضخيم أو تكبير آخر للإشارة لن يحل مشكلة ضجيج الإشارة، بالإضافة إلى أنه يصعب تصميم مرشح ذي عرض مجال ضيق جداً. كل ما سبق يقودنا إلى التفكير بطريقة قياس مختلفة ربما باستخدام تقنيات كشف حساس الطور.

كاشف حساس الطور يمكنه اكتشاف عند 10KHz بعرض مجال ضيق حتى 0.01 Hz

$$(V_{signal} = 10\text{nV} * 1000 = 10\mu\text{V})$$

وبذلك تكون إشارة الخرج بعد استخدام المضخم وكاشف حساس الطور هي 10µV

من الإشارة المفيدة و $(V_{noise} = 5 * 10^{-9}\text{V}/\sqrt{\text{Hz}} * \sqrt{0.01Hz} * 1000 = 0.5\,\mu\text{V})$ 0.5 µV من إشارة الضجيج. وهذه حالة منطقية تمكننا من إجراء قياسات دقيقة.

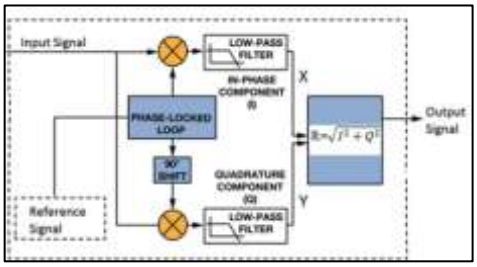
مكبرات الإحكام وكاشف حساس الطور:

مكبر الإحكام هو جهاز قادر على قياس سعة وطور إشارة وإشارات التيار المتناوب ذات التردد معروف. قد يكون لهذه الإشارة سعة منخفضة جداً في بيئة صاخبة جداً.

الهدف من استخدام مكبر الإحكام هو استخدام مفهوم كشف حساس الطور لاستخراج سعة وطور الإشارة ذات الضجيج، وإعطاء إشارة خرج تيار مستمر متناسبة مع سعة إشارة الدخل [2] [1].

يعد كل من مستخلص حساس الطور أو المعدِّلات المتزامنة انواعاً مهمة من الدارات التماثلية، يكثر استخدامها في أنظمة القياسات، وانظمة التحكم والاتصال.

ينبغي بالإضافة إلى إشارة الدخل المطلوب قياسها توفير إشارة مرجعية دورية. يقوم كاشف حساس الطورعادة بتوليد إشارته المرجعية الداخلية (عادة باستخدام حلقة قفل الطور المقفلة للمرجع الخارجي التي يمكن ان تكون موجة مربعة مقدّمة من مولد بالتردد المطلوب).



الشكل (1) مخطط صندوقي لمكبر الإحكام [3]

الشكل (1) يمثل مخططاً صندوقياً لمكبر الإحكام

لتوضيح آلية عمل مكبر الإحكام، لننظر في نظرية فورييه والتي تنطلق من قاعدة أنه: يمكن تمثيل أي إشارة دخل كمجموع للعديد من موجات جيبية مختلفة الطور والترددات والسعات. سيستخدم مكبر الإحكام موجة جيبية خالصة كإشارة مرجعية. رياضياً: متوسط ناتج ضرب عدة موجات جيبية سيؤول إلى الصفر مالم تكن الترددات متساوية. هذا يعني أن يكون ناتج ضرب الأمواج هو إشارة خرج على شكل تيار مستمر متناسبة مع مكونة الإشارة التي ترددها يساوي تماماً تردد المرجعي.

مرشح مرحلة التمرير المنخفض الموجودة بعد المضاعف (الجهاز الذي يقوم بضرب الأمواج) يعطي القيمة المتوسطة لحاصل جداء الإشارة المرجعية مع مركبات التردد عند ترددات أخرى. وعلى سبيل المثال، لنفرض أن إشارة الدخل هي إشارة مربعة بسيطة ترددها (f). الموجة المربعة تتكون في الحقيقة من عدة أمواج جيبية عند المضاعفات الفردية للتردد (f) مع أطوار وسعات مختلفة.

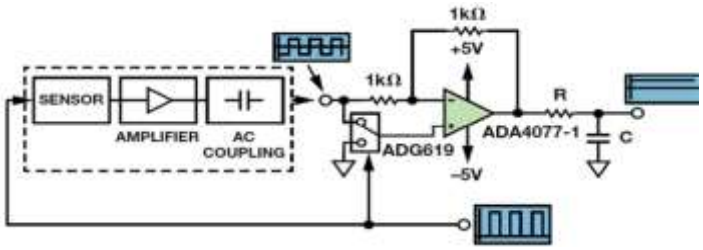
$$S(t) = 1.273\sin(\omega t) + 0.4244\sin(3\omega t) + 0.2546\sin(5\omega t) + \ldots$$

حيث: $\omega = 2\pi f.$ القفل الداخلي، المرتبط بـ (المقفول مع) f سيقيس التوافقية الأولى عند سعة 1.273 V وليس 2 Vp-p التي يمكن قياسها بوساطة جهاز راسم الإشارة (oscilloscope). في الحالة العامة فإن الدخل عبارة عن إشارة مفيدة وإشارة ضجيج، يمكن تمثيل الضجيج كموجات عشوائية متنوعة عند كل الترددات. سيستجيب جهاز الإحكام المثالي للضجيج عند التردد المرجعي فقط، وستتم إزالة الضجيج عند الترددات الأخرى بواسطة مرشح المرحلة المنخفضة ويليه المضاعف. إن تضييق عرض المجال هذا هو الفائدة الأساسية لمكبر الإحكام. فقط إشارات الدخل التي تحتوي مكونات عند التردد المرجعي هي التي تعطي ناتج خرج غير صفري.

تطبيق مكبر الإحكام:

يوجد الكثير من طرق تطبيق مكبر الإحكام، بعضها تستخدم المكونات التماثلية، وبعضها الآخر يعتمد على الحلول الرقمية حيث نأتي بشرحها وبيان العيوب في عدم اعتمادها في هذا البحث.

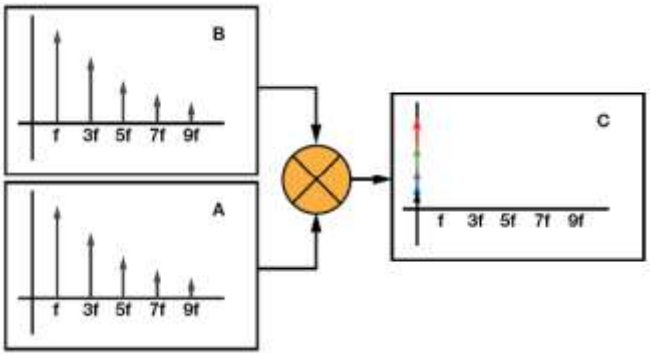
1. مكبر إحكام بموجة رباعية معتمد على مكبر عمليات:



الشكل (2) مكبر إحكام يستخدم مكبر عمليات وموجة مربعة مرجعيةً [3]

يمثل الشكل 2 بنية مكبر إحكام مبني على مكبر عمليات وموجة مربعة مرجعية. يوجد موجة مربعة مسؤولة عن تحريض الحساس، وتستخدم أيضاً كإشارة مرجعية تتحكم بمفتاح ADG619 SPDT.

ان بنية مكبر الإحكام ذو الموجة المربعة بسيطة، فإن تخلصه من الضجيج ضعيف نسبياً مقارنة بالأجهزة التي تستخدم الموجة الجيبية. يبين الشكل 3 طيف الموجة المربعة من الحساس والإشارة المرجعية. إن ضرب الموجتين اللتين يملكان نفس التردد يتم عبر ضرب كل المركبات الجيبية من كلا الإشارتين على التوالي. ستكون النتيجة إشارة مستمرة التي تحتوي التوافقيات التي في الإشارة المربعة. التوافقيات المفردة غير المرغوب بها لا تزال، ولكن سيتم تخفيضها حسب التوافقيات. يجب اختيار تردد التعديل مهم، بحيث تكون كل توافقياته ليست بنفس تردد توافقيات لأي منبع ضجيج معروف.. على سبيل المثال من الأفضل اختيار تردد تعديل 1.0375kHz عوضاً عن 1 KHz لأن هذا التردد لن يتزامن مع التوافقيات الزوجية للـ 50 Hz أو الـ60 Hz الشائعة جداً والتي مكن أن تسبب أخطاء جوهرية.[3]

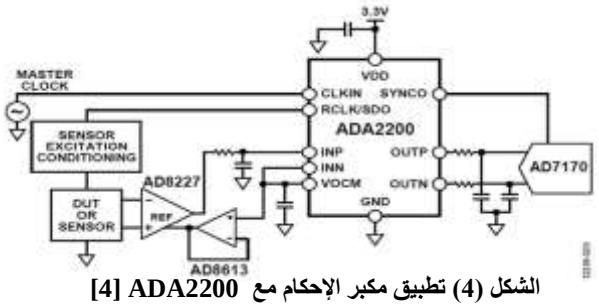


الشكل (3) جداء موجة مربعة وموجة الدخل في مجال التردد[3]

2.التطبيق المتكامل لمكبر ذو الموجة المربعة:

ADA2200 IC هو كاشف متزامن من أجل تكييف الإشارات في المجال الصناعية، الطبية وتطبيقات الاتصالات. ADA2200 هو دخل تماثلي متشابه بجهاز خرج تماثلي. معالجة الإشارة تتم داخلياً في المجال التماثلي بالشحن المشترك عير المكثفات. هذا يعزل تأثير الكمي للضجيج والأخطاء التكرارية الدورية، ويسمح بتقليل معدل زمن أخذ العينات الـ ADC [4]

يبين الشكل (4) مخطط تصميم مكبر إحكام مبني على ADA2200. يجب أن يكون تردد الساعة السيد عند CLKIN 64 ضعفاً من تردد المرجع المطلوب والذي سيكون أيضاً تردد التحريض عند الـ RCLK. يتم استخدام إشارة الـ RCLK المخزنة لتشكيل موجة

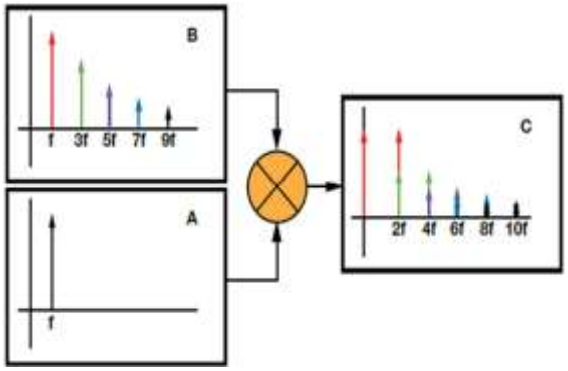


الشكل (4) تطبيق مكبر الإحكام مع ADA2200 [4]

التحريض المربعة للحساس، ومن الممكن أن تكون ملائمة لعمل تكييفات أخرى لتوليد إشارة موجة جيبية تحريضية للحساس. يقدم مكبر أجهزة القياس ذو الترددات المنخفضة ربحاً معقولاً لتضخيم الإشارة بحيث يكون ضجيج الأرض المحقون داخل ADA2200 فوق ضجيج الأرض المركب من الـ ADA2200 والـ ADC. تتكون إشارة الخرج من ثمان عينات خرج والتي يتم توليدها من أجل كل دورة تحريضية، العينات الأربعة الأولى فريدة، والعينة الرابعة تتكرر عند كل زمن خمس عينات. هناك عدة طرق للمعالجة الرقمية لعينات الخرج. واحدة من هذه الطرق هو أخذ مجموع ثمان عينات لإرجاع القيمة بعد قياس قيمة كل عينة بشكل منفرد بـ ADC [4].

مساوئ تطبيق مكبر احكام ذو موجة مربعة:

في كل طرق التطبيق السابقة نفس الإشارة (الموجة المربعة) – والتي تستخدم لتحرض الحساس– تستخدم أيضاً كمرجع. على كل حال إذا ضربت الإشارة المقاسة بموجة جيبية بنفس التردد، فإن مركبة الإشارة عند التردد الأساسي (التوافقية الأولى) تتحول إلى مستمرة، وبقية التوافقيات تتحول إلى ترددات لاصفرية كما في الشكل (5).يزيل مرشح التمرير المنخفض كل شيء ما عدا المكون المستمر من الإشارة الناتجة. لجعل الإشارة الجيبية المرجعية بنفس تردد إشارة التحريض، فإن الإشارة المربعة المستخدمة لتحريض الحساس تُحقن في مكبر الإحكام عبر phase-locked loop [3].



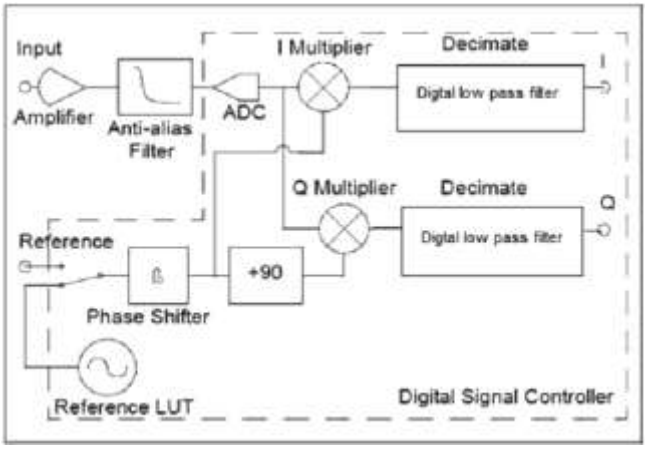
الشكل(5) ضرب الموجة الجيبية وإشارة الدخل في مجال التردد [3]

توجد مشكلة أخرى في التطبيق السابق وهي :يؤثر فرق الطور بين إشارة الدخل والمرجع (والتي يمكن أن يتسبب بها دارة تعديل إشارة الحساس متضمنة مرشحات، مكبرات ...) على القياس إذا كان هذا الفرق ليس ثابتاً خلال عملية القياس. لا يأخذ التطبيق السابق بالحسبان فرق الطور هذا والذي يمكن أن يؤثر على القياس إن وجد. ان تطبيقات مكبر إحكام ذو موجة مربعة بسيطة وقليلة التكلفة، وبالتالي فإن هاتين السيئتين تجعلها غير مستقرة في تطبيقات قياسات الصوت الضوئي.

3.مكبر الإحكام الرقمي:

يبين الشكل(6) المخطط الصندوقي لمكبر الإحكام الرقمي. تتم المعالجة في المجال الرقمي باستخدام برامج وأجهزة معالجة إشارة رقمية مخصصة. كما يمكن تنفيذه باستخدام مكونات رقمية متكاملة على شريحة FPGA.

تمر إشارة الدخل في مكبر الإحكام الرقمي عبر مكبر أولي يليه مرشح مانع تشوه لإزالة كل مكونات الإشارة الأكبر من نصف تردد أخذ العينات. الإشارة المرجعية يمكن أخذها من إشارة خارجية لأخذ



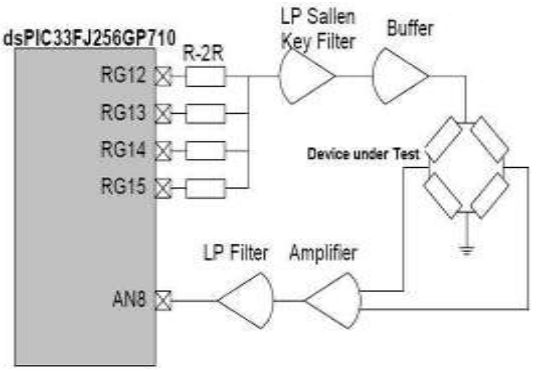
الشكل(6) مخطط صندوقي لمكبر الإحكام الرقمي [5]

العينات أو يمكن توليدها داخلياً باستخدام بعض التقنيات مثل جداول البحث أو خوارزميات القلب...

يستخدم مزيح الطور لتوليد موجة مرجع مزاحة 90 درجة، بعد ذلك إشارة المرجع وإشارة الطور المزاح يضربان رقمياً بإشارة أخذ العينات من ADC. هذه الحسابات تولّد إشارتين متوسطتين واللتين تمرران عبر مرشحات منخفضة المجال لتوليد قيم الخرج والتي تستخدم لحساب طور وسعة إشارة الدخل[5].

4.مكبر إحكام رقمي معتمد على dsPIC:

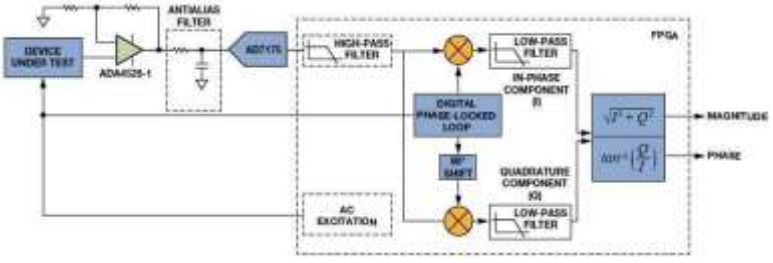
هناك العديد من الطرق لتطبيق مكبر احكام باستخدام DSP. يعتمد واحد من هذه التصاميم على dsPIC والتي تحتوي أجهزة قادرة على أخذ عينات قناة تماثلية واحدة عند سرعة عالية. يتم تجميع المعلومات وتحليلها في الوقت الحقيقي، وقيم الـ I و الـ Q المحسوبة ترسل للخارج عبر وصلة RS232 التسلسلية أو تظهر مباشرة على شاشة LCD. مثل هذه التطبيقات يمكن إنجازها باستخدام معالج ذو 16 بت ومتحكم إشارة رقمي مثل dsPIC33FJ256GP710 DSC يتم تهيئة المعالج لاستخراج إشارة ساعته الرئيسية من كريستالة خارجية، ويتم تشغيله بسرعته العظمى 40 MIPS والتي تنتج حلقة اوامر من مضاعفات الـ 25 nS. في هذا التطبيق الـ DSP مسؤول عن توليد الإشارة لتحريض الجهاز تحت الاختبار، وبهذا تستخدم هذه الإشارة أيضاً كإشارة مرجعية لحسابات مكبر الإحكام.[5] .



الشكل (7) مكبر إحكام رقمي باستخدام dsPIC [5]

يبين الشكل (7) تصميم مكبر إحكام باستخدام dsPIC.

5.مكبر الإحكام الرقمي معتمدعلى FPGA:



الشكل (8) المخطط الصندوقي تطبيق لمكبر الإحكام الرقمي على الـ FPGA [3]

يمكن تنفيذ تطبيق آخر لمكبر الإحكام الرقمي على شريحة FPGA، يبين الشكل السابق(8) المخطط الصندوقي لمكبر إحكام رقمي على الـ FPGA، باستخدام مكبر أمامي مبني على مكبر ADA4528-1 بانزياح صفري وAD7175 24-bit sigma-delta ADC. هذا الجهاز تحت الاختبار هو أي حساس يمكن تحريضه خارجياً. يتم إعداد المكبر بربح كاف للاستفادة من كامل مجال الـ ADC [3].يزيل مرشح التمرير المرتفع بعد محول ADC أي إزاحة مستمرة والضجيج منخفض التردد. يستخدم PLL الرقمي لتوليد موجة جيبية مرجعية مرتبطة مع الإشارة المسؤولة عن تحريض الجهاز تحت الاختبار. الفائدة من استخدام FPGA لتطبيق معظم مكونات النظام أن الكل يمكن تجميعه على شريحة واحدة متكاملة.

متطلبات وافتراضات البحث:

الهدف من هذه البحث تنفيذ مكبر إحكام رقمي والذي من شأنه أن يكون قادراً على قياس سعة إشارة والتي من الممكن أن تكون ضعيفة ويمكن أن تختفي تحت مستوى الضجيج عند تردد معروف وفقاً لأعلى دقة وأقل موارد. الافتراضات والمتطلبات الرئيسية هي:

- التنفيذ استناداً لرقاقة FPGA.
- تردد إشارة الدخل في حدود 100 هرتز إلى 10 كيلوهرتز.
- السعة لإشارة الإدخال هو أقل 2.5 فولت.
- الاتصال بكمبيوتر مضيف أو متحكم لعرض النتائج.

التصميم والتنفيذ:

بتحليل التطبيقات والحلول التي سبق ذكرها من تنفيذ مكبرات إحكام أدى إلى استنتاج مفاده،

مكبر الإحكام ذو الموجة المربعة :هو جهاز بسيط ولكنه يحتوي على اثنين من العيوب الكبيرة:

أولاً: الإشارة مرجعية ليست موجه جيبية، لذا يوجد تأثير لتوافقيات الإشارة المرجعية في إشارة الخرج. وسوف لن ترشح الإشارات الغير المرغوب فيها التي تظهر عند ترددات توافقيات فردية.

ثانياً: يؤدي فرق الطور بين إشارة الدخل وإشارة مرجعية إلى نتائج قياس غير صحيحة إذا لم يتم إصلاح هذا الفرق.

تطبيقا مكبر الإحكام الرقمي اللذين تمت مناقشتهما يملكان حلاً لهاتين المشكلتين. ولكن التنفيذ استناداً لـ dsPIC هو تنفيذ غير مرن ومن الصعب أن تنفذ بطريقة تتيح بعض التطورات الأخرى. من ناحية أخرى، تنفيذ مكبر إحكام رقمي على رقاقة FPGA مرن جداً ولكنها معقدة وتتطلب كثيراً من موارد الجهاز لإنشاء كافة مكونات نظامه. وكانت المهمة العثور على حل أفضل لتنفيذ مكبر إحكام رقمي يتسم بالمرونة التي في تصميم FPGA وبنفس الوقت لا تتطلب الكثير من موارد الأجهزة. يمكن أن يستند هذا الحل إلى المربعات الصغرى المناسبة لإشارة جيبية.

1.المربعات الصغرى المناسبة:

ليكن لدينا صف من البيانات x1, x2. …xn تستخدم طريقة المربعات الصغرى للعثور على تقدير جيد من المحددات التي تناسب التابع f(x) تتطلب طريقة المربعات الصغرى أن التابع المقدر عليه أن ينحرف أقل قدر ممكن من f(x) [7]. لتناسب أفضل لمجموعة من البيانات، فن طريقة المربعات الصغرى تقلل من مجموع بواقي المربعات.

$$S = \sum_{i=1}^{i=n} r_i^2.$$

حيث ri هو الباقي، والذي هو الفرق بين النقط الحقيقية والقيمة المزاحة، وتعرّف كما يلي:

$$r_i = y_i - f(x_i),$$

حيث ازواج البيانات هي (xi, yi) ودالة النموذج هي f(xi).يمكن اختيار عدد n محددات مختلفة للدالة f(x). ذلك أن الدالة المقربة تشكل أفضل تناسب لمجموعة البيانات. يتم استخدام طريقة المربعات الصغرى لإيجاد طريقة رياضية لحساب سعة إشارة رقمية. هذه الحسابات موضحة ومشروحة في معايير الـ" IEEE لرقمنه تسجيل الموجي IEEE Std 1057-1994" [8]:

$$A = \frac{2}{N} * \sqrt{\left(\sum_{i=0}^{i=N-1} x[i]\cos\left(\frac{2\pi i}{N}\right)\right)^2 + \left(\sum_{i=0}^{i=N-1} x[i]\sin\left(\frac{2\pi i}{N}\right)\right)^2}.$$

حيث A هي سعة التوافقية الأولى (مركبة الموجة الجيبية) لإشارة الدخل.

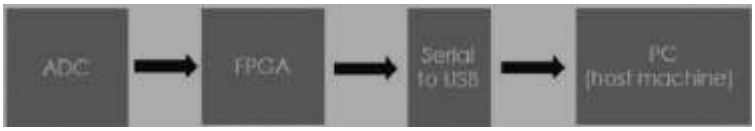
N: عدد العينات في الفترة الواحدة.

$\cos\left(\frac{2\pi i}{N}\right)$ و $\sin(\frac{2\pi i}{N})$ تمثلان قيم جيب وتجيب (جيب تمام) لفترة واحدة من إشارة المرجع [8].

ويمكن أن يثبت بسهولة أنه إذا تم زيادة عدد العينات لكل فترة الأوقات M مرة، يتم تقليل خطأ تحديد السعة من قبل عامل M1/2. باستخدام المعادلة المذكورة أعلاه، فمن الممكن إنشاء سلوك مكبر الإحكام الرقمي، لأن هذه المعادلة تستخدم عينات من إشارة الدخل والقيم المرجعية جيب / تجيب (جيب التمام) لحساب السعة.

تردد أخذ العينات وعدد العينات لكل فترة يمكن تعديلها لقياس إشارة عند تردد محدد. على سبيل المثال إذا كانت الإشارة المدروسة عند تردد 1 كيلو هرتز وعدد العينات في الفترة هو 500، يجب أن يكون تردد أخذ العينات 500 كيلو هرتز (1×103×500=500 كيلوهرتز). هذا النموذج من مكبر الإحكام الرقمي هو الأبسط ويتطلب أقل قدر من الموارد مقارنة مع الطرق الأخرى لتنفيذ إحكام رقمي.

2.تنفيذ الأجهزة (Hardware) والبرامج:



الشكل (9)مخطط صندوقي مبسط للحل المنفذ

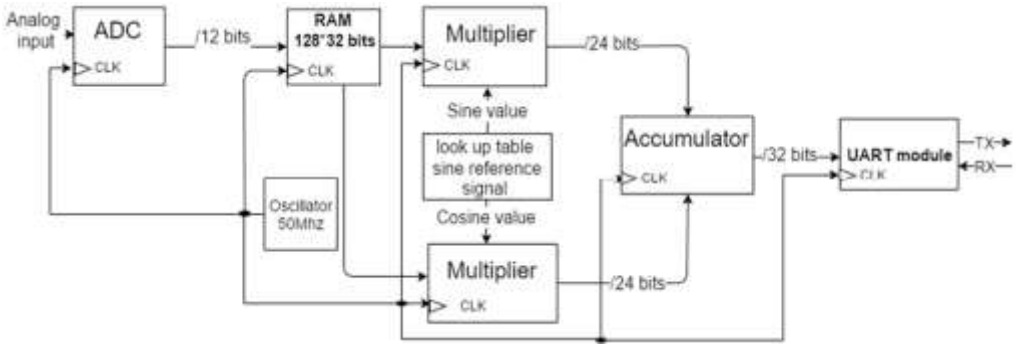
إن فهم عملية قياس السعة بأسلوب المربعات الصغرى المناسبة أدى لنظام موضح في الشكل (9). يحصل النظام على عينات من إشارة الدخل، يتم تمرير هذه العينات حتى نواة FPGA لأداء حساب سعة إشارة الدخل كما هو موضح في المعادلة في الفقرة (7). وأخيرا يتم نقل النتائج المحسوبة إلى كمبيوتر مضيف عبر الاتصال UART التسلسلي لوضع اللمسات الأخيرة على الحسابات وعرض النتائج.

وبمزيد من التفاصيل، يتطلب النظام جمع عدد معين من العينات لكل فترة، ثم تتضاعف هذه العينات مع القيم جيب/تجيب (جيب التمام). ويتم تجميع (تراكم) نتائج عمليات الضرب ومن ثم تربيع هذه القيم المتراكمة ثم تضاف معا من أجل تطبيق عملية الجذر التربيعي وتقسيم على العدد الكلي للعينات لكل فترة.

من الناحية الفنية، تنقسم عملية حساب سعة إشارة الدخل إلى مرحلتين. في المرحلة الأولى (نفذت على رقاقة FPGA)، النظام المصمم يحصل على عينات باستخدام ADC ومن ثم يخزن هذه العينات في ذاكرة الوصول العشوائي RAM لتتم وقت لاحق جداء هذه العينات مع قيم جيب / تجيب (جيب تمام) الإشارة المرجعية التي يتم تخزينها في سجلات FPGA.تتجمع نتائج الضرب من جميع العينات ثم ترسل إلى الكمبيوتر المضيف عبر اتصال تسلسلي لإجراء المرحلة الثانية (تنفذ على الكمبيوتر المضيف) من الحساب حيث يقوم ال بتربيع نتائج الضرب، ويجمعهم سوياً، ويطبق الجذر التربيعي، ثم يقسم على عدد من العينات في كل فترة، وأخيرا يظهرالنتائج.

التصميم في البيئة FPGA تتألف من الأجهزة والبرمجيات. ومع ذلك، هذان التصميمان يتداخلان في معظم الحالات، لأن بعض مكونات الأجهزة في النظام تم إنشاؤها في مرحلة تطبيق البرنامج.

المخطط الصندوقي المفصل للدارة التي سيتم تنفيذها على FPGA (كما هو موضح في الشكل(10) المخطط الصندوقي من الدارة المنفذة على FPGA) ويتكون من العناصر التالية:



الشكل (10) المخطط الصندوقي للدارة المنفذة على FPGA

- الـ ADC ذو الدقة 12 بت ومعدل أخذ بيانات أعظمي 1Msps
- هزاز 50 MHz
- ذاكرة الوصول العشوائي التي يتم فيها تخزين العينات التي تؤخذ من ADC، تنفذ بالموارد الداخلية للـ FPGA.
- جدول البحث لموجة جيبية إشارة مرجعية، تحتوي على قيم جيب عينات موجة من مطال سعة 12 بت و100 عينة في الفترة (يستند أيضا على السجلات الداخلية للـ FPGA. يتم تخزين قيم الموجة الجيبية فقط لأن قيم جيب التمام يمكن حسابها ببساطة).
- كتلة المضاعفة مسؤولة عن الضرب (الجداء) للعينات المخزنة في ذاكرة الوصول العشوائي RAM والقيم من جدول البحث (جيب / جيب التمام)؛ يتم توجيه نتائج الضرب إلى كتلة المجمع (المراكم).
- كتلة المراكم مسؤولة عن مراكمة نتائج الضرب من كل مضاعف. يتم تمرير هذه القيم المتراكمة إلى وحدة UART بعد الانتهاء من عمليات الضرب من جميع العينات في ذاكرة الوصول العشوائي.
- كتلة UART مسؤولة عن إرسال القيم من كتلة المراكم إلى الكمبيوتر المضيف بالإضافة إلى تلقي بعض الإعدادات من تطبيقات الكمبيوتر المضيف.

3.مواصفات الأجهزة (Hardware):

إن استخدام لوحة تطوير FPGA هو خيار جيد لتصميم وتنفيذ نماذج لتطبيقات بالنظر إلى أن لوحات التطوير هذه لها دارات تزويد الطاقة الخاصة بها، ومنفذ USB قابل للبرمجة لرقاقة FPGA، والكل موصول ومجمّع مع الشريحة الأساسية FPGA على رقاقة PCB. وهذا يقلل من مقدار الوقت والجهد لتصميم PCB وتجميع المكونات. هناك الكثير من الخيارات المتاحة للوحات التطوير من مختلف الصانعين مع رقائق FPGA مختلفة مثل Altera، XILINX، وما إلى ذلك. ووفقاً للتصميم المقترح، يجب أن يكون في لوحات التطوير المطلوبة وحدة ADC. ويبين الجدول التالي بعض لوحات التطوير مع بعض خصائصها:

Name	FPGA chip	ADC	Logic elements	Embedded RAM	SDRAM	Price
DE1-SoC [9]	Cyclone V (Altera)	12-bit 1 MSPS	85000	4,450 Kbits	64MB	150 $
Digilent Basys 3 [10]	Artix -7 (Xilinx)	12-bit 1 MSPS	33280	1,800 Kbits	NONE	149 $
DE0-Nano [9]	Cyclone IV (Altera)	12-bits 200 KSPS	22320	2,764 Kbits	1GB	99 $
MiniSpartan6+ [10]	Spartan-6 (Xilinx)	8-bits 1 MSPS	24051	936 Kbits	32MB	75 $
MiniSpartan3 [10]	Spartan-3 (Xilinx)	8-bits 200 KSPS	1584	288 Kbits	NONE	35 $
BemicroMax10 [11]	Max 10 (Altera)	12-bit 1 MSPS	8000	387 Kbits	8 MB	30$

يملك تصميم النظام على FPGA المقترح في الشكل 10 بعض العناصر الأساسية مثل ذاكرة الوصول العشوائي RAM، ومضاعفات، مراكمات... الخ، تمت محاكاة هذه المكونات على جهاز الكمبيوتر في محاولة لتقدير ما يقرب من موارد الأجهزة اللازمة لتنفيذ الدارة. نتائج المحاكاة لبعض مكونات النظام هي على النحو التالي:

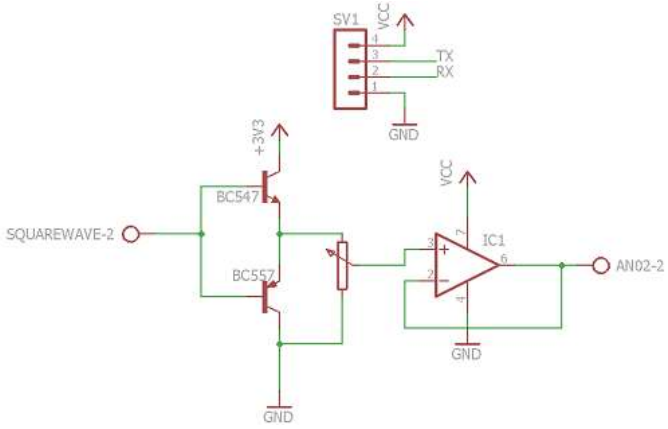
Component name	Logic cells	Memory bits
UART module	116	0
RAM	0	1536
Look-up table	127	0
ADC	87	0
Multiplier	75	0
Accumulator	82	0

بالإضافة إلى خلايا المنطق المطلوبة لاتصال وتواصل هذه المكونات معا، كان العدد الكلي للخلايا المنطقية لجميع مكونات النظام قرابة 830 وكان عدد بتات الذاكرة المطلوبة 1536. من هذه النتائج، كان من الواضح أن من جميع لوحات التطوير الواردة أعلاه فإن لوحة تطوير BemicroMax 10 هو الخيار الأفضل للتنفيذ، لأنه يحتوي على كل موارد الأجهزة المطلوبة (خلايا المنطق والذاكرة) لتنفيذ النظام بأدنى سعر متاح. وبالإضافة إلى ذلك، فإن سلسلة ماكس 10 من ألتيرا FPGA لديها وحدة ADC مدمجة في شريحة FPGA مما يجعل من السهل

إعداد وتمكين وحدة ADC في عملية التصميم. وعلاوة على ذلك، يوفر ألتيرا وثائق كبيرة ومفصلة لرقائق FPGA وتصاميم التطبيق.

الشكل (4) BemicroMax 10 [9]

يبين الشكل (12) المخطط لدارة ضبط المستوى الذي يحصل على موجة مربعة كإشارة دخل وضبط السعة. لأن قدرات مصدر التيار لدبابيس خرج FPGA صغيرة، فقد تم استخدام إعداد ترانزستور دفع/سحب لتغذية الجهد الذي يستخدم لتطبيق تغيير (يدوي) على الجهد المطبق على مضخم عمليات الذي يعمل كتابع للجهد يدويا ليكون بمثابة منطقة عازلة قبل اتصال إشارة خرج إلى قناة دخل تماثلية في شريحة FPGA.



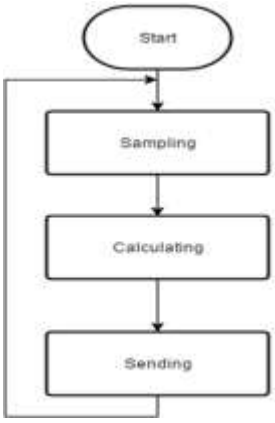
الشكل (12) داره تعديل المطال

.4.تصميم البرامج Software:

تم تقسيم تنفيذ برنامج مكبر الإحكام إلى قسمين: الأول هو الرموز المستخدمة لتنفيذ الدارة على FPGA وكانت مكتوبة بلغة Verilog. وكانت مسؤولة عن إجراء عملية الضرب بيانات العينة مع مرجعية القيم (جيب / تجيب) ومراكمة نتائج الضرب وأخيرا إرسال هذه القيم المتراكمة إلى الكمبيوتر المضيف عبر وصلة تسلسلية. والثاني يعمل على الكمبيوتر المضيف، وقد تم تنفيذه بلغة C# (سي شارب). وهي مسؤولة عن حساب المربعات وإضافة القيم المربعة ثم تطبيق الجذر التربيعي وبعد ذلك تقسيم الناتج على عدد العينات لكل فترة. وفي النهاية، يتم عرض النتائج على شاشة الكمبيوتر المضيف. برامج الكمبيوتر المضيف هي المسؤولة عن تكوين لوحة FPGA عبر اتصال تسلسلي.

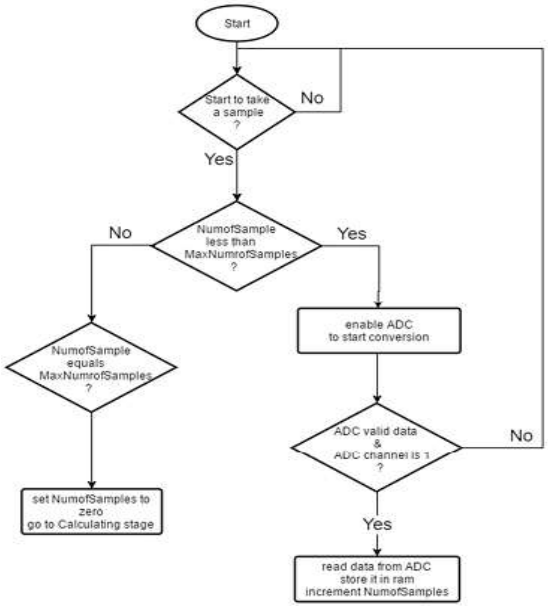
تصميم البرامج ورقاقة الـ FPGA:

Verilog عبارة عن لغة توصيف الآلة استخدمت لتنفيذ وتهيئة جميع مكونات أنظمة الموضحة في الفقرة 7 والتحكم في كيفية عمل النظام وكيف يمكن لهذه العناصر أن تتفاعل مع بعضها البعض. يوضح الشكل (13) الخوارزمية الرئيسية للقيام بالقياس على رقاقة FPGA وتتكون من ثلاث مراحل: أخذ العينات، الحساب، والإرسال.



الشكل (13) خوارزمية القياس

تبدأ مرحلة أخذ العينات مع تمكين ADC، قراءة عينات إشارة الدخل، ثم تخزين العينات في ذاكرة الوصول العشوائي RAM. يتم تنفيذ عملية الحصول على عينات وتخزينها في ذاكرة الوصول العشوائي حتى يتم الوصول إلى العدد المطلوب من العينات لكل فترة. تم تعيين عدد العينات لكل فترة في بداية الحسابات، ولا يمكن أن تتغير أثناء تشغيل الدارة. ويبين الشكل(14) الرسم البياني لهذه المرحلة.

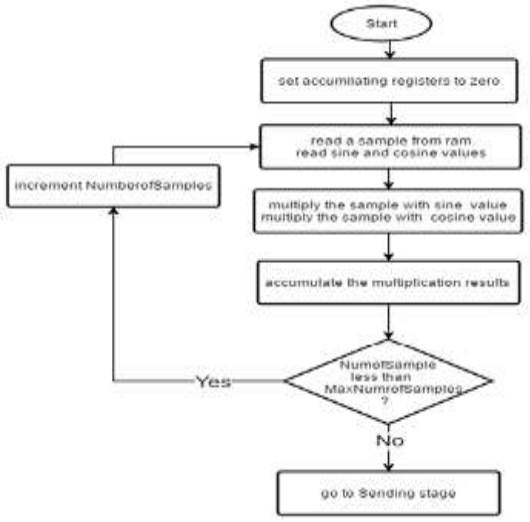


الشكل (14): مخطط مرحلة أخذ العينات

يتم استخدام عدد من العينات لكل فترة والوقت بين أخذ عينة والعينة التي تليها لتحديد التردد المطلوب للقياس. على سبيل المثال إذا كانت إشارة المفيدة لديها على تردد 1 كيلو هرتز $(T_{period} = \frac{1}{f} = 1\ ms)$ وعدد العينات في الفترة (N) هو 100. يجب أن يكون الزمن بين أخذ عينة والتي تليها ا $(\frac{T_{period}}{N} = \frac{1\ ms}{100} = 10\ \mu s)$ 10 µs

يؤدي تغيير الوقت في مثل هذه الطريقة بين أخذ العينات المطلوبة إلى تهيئة نظام لقياس سعة إشارة على تردد محدد. وتُعرّف المدة الزمنية بين العينات كعدد دورات ساعة النظام (زمن الساعة = 20 ns)، ولذلك في المثال السابق يتم تقديم 10 µs كـ 500 ساعة نظام (10 µs/20 ns=500).

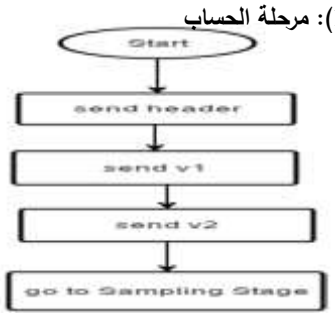
تتم قراءة العينات في مرحلة الحساب من ذاكرة الوصول العشوائي ويتم ضرب كل واحد منهم مع الجيب وجيب التمام القيم بشكل منفصل. يتم تخزين قيم الجيب فقط جدول البحث لأن باستخدام حساب إزاحة بسيط يتم العثور على القيم جيب التمام. تتم مراكمة نتيجة الضرب في سجلين منفصلين بحيث يمكن استخدامها في مرحلة الإرسال. ويبين الشكل 15 مرحل الحساب.



الشكل (15): مرحلة الحساب

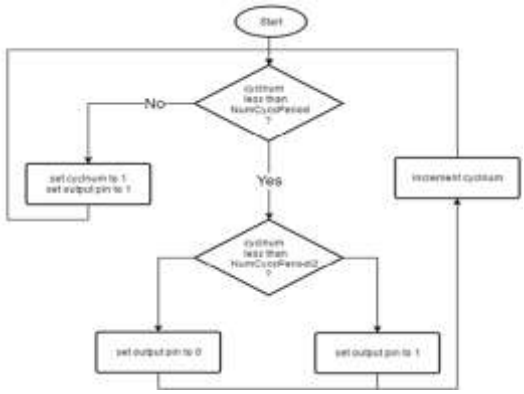
يبين الشكل (16) مخطط مرحلة الإرسال.

إرسال القيم من مرحلة الحوسبة إلى الكمبيوتر المضيف عبر اتصال تسلسلي. البيانات "V1" وهي القيمة المتراكمة لجداء العينات مع قيم الجيب و"V2" وهي القيمة المتراكمة لجداء العينات مع قيمة جيب التمام هي كل 32 بت. كل واحدة من هاتين القيمتين تنقسم إلى 4 بايت ويتم إرسالها إلى الكمبيوتر المضيف عبر وحدة UART المنفذة على FPGA. يرجع ذلك إلى حقيقة أن الاتصال التسلسلي في وحدة UART ليس اتصال متزامن، يتم إرسال البايت الرأسي إلى الكمبيوتر المضيف للقيام بعملية التزامن.



الشكل (16): مخطط مرحلة الإرسال

يظهر الشكل (17) تنفيذ كتلة مولد موجة مربعة التي كانت مسؤولة عن توليد موجة مربعة ذات تردد معطى. وقد تم تنفيذها كعداد صاعد قابلة للبرمجة والذي يفيض بعد أن يصل إلى قيمة معينة. على سبيل المثال إذا أرادت إشارة موجة مربعة 1 kHz أن يتم توليدها باستخدام ساعة النظام ذات الـ 50 MHz فإن عدد ساعات الأنظمة المطلوبة لتوليد هذه الإشارة هو 50000 دورة.



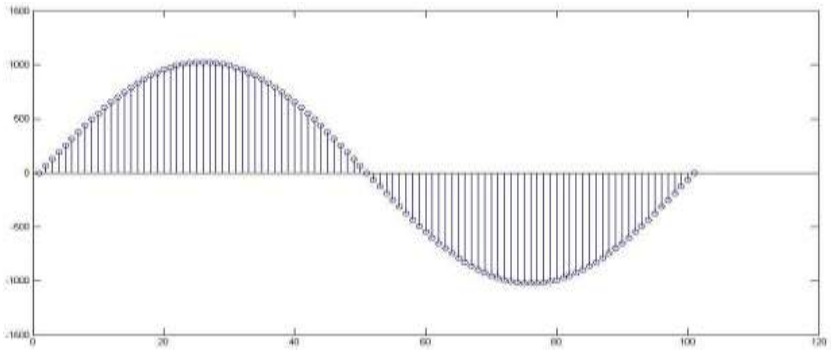
الشكل (17): مخطط مولد موجة مربعة

يتم استقبال قيمة المتغير NumCycsPeriod من تطبيقات الكمبيوتر المضيف باستخدام وحدة RX في وحدة UART المنفذة في FPGA. لضمان عدم انقطاع عملية أخذ العينات والحصول على إشارة خرج خاطئة للمعالجة فإنه يتم تحديث قيمة NumCycsPeriod عندما في لا تعمل الدارة المصممة في مرحلة أخذ العينات.

كتلة نظام آخر هو جدول البحث لإشارة المرجع لموجة جيبية. يتم تخزين هذا الجدول في مجموعة من السجلات داخل FPGA باستخدام تعليمة الـ "readmemh" التي تأخذ ملف دخل وتكتب محتواه في مصفوفة من السجلات. الملف يحتوي على قيم موجة جيبية التي تم إنشاؤها باستخدام برنامج برمجة ماتلاب. هذا البرنامج يحصل على قيم الجيب لعدد معين من العينات لكل فترة ويكتبهم لهم في شكل سداسي عشر في ملف. قيم الجيب لفترة واحدة تمثل أرقام الفاصلة العائمة ولكن يتم تحويل هذه القيم إلى أعداد صحيحة عن طريق توسيعهم بعامل 4096 (12−

بت). بعد توسيع قيم الجيب إلى أعداد صحيحة 12 بت والتي يتم تحويلها إلى نظام سداسي عشر وتخزينها في ملف. عملية ضرب العينات من الـ ADC وقيم جيب / تجيب هو ضرب عدد صحيح لأن القيم ADC أعداد صحيحة والتابع "readmemh" الذي يستخدم لتحميل قيم الجيب لسجل الـ FPGA يستخدم أيضا قيم صحيحة.

ويبين الشكل (18) موجة جيبية تم إنشاؤها بواسطة هذا البرنامج النصي. وهذه إشارة من 100 عينة لكل فترة



الشكل 18 مثال على موجة جيبية مرجعية

تطبيق منفذ على الكمبيوتر المضيف: يتم تنفيذ التطبيق كما ذكر سابقا في بيئة C#. والغرض الرئيسي من هذا التطبيق هو الحصول على البيانات المحسوبة جزئيا عبر المنفذ التسلسلي، وتنفيذ المزيد من العمليات الحسابية وعرض النتائج على الرسم البياني. البيانات الواردة هي في الأساس "V1" والقيم "V2". يقوم البرنامج بتطبيق هذه المعادلة: $A = \frac{2}{N}\sqrt{V_1^2 + V_2^2,}$

حيث N هو عدد العينات لكل فترة، وA هو سعة مكون تردد الجيب الرئيسي للإشارة المقاسة. ومع ذلك، لحساب سعة إشارة موجة مربعة التي تم حقنها كإشارة دخل، A سوف تتضاعف 1،273 مرة وفقا لتحويل فورييه. مهمة أخرى للبرنامج على الكمبيوتر المضيف هي وضع تردد إشارة الموجة المربع الذي تم إنشاؤه من قبل FPGA. يتم إرسال قيمة تردد الإشارة الإخراج إلى لوحة FPGA عبر اتصال تسلسلي.

5.تجميع والاختبار ومناقشة النتائج:

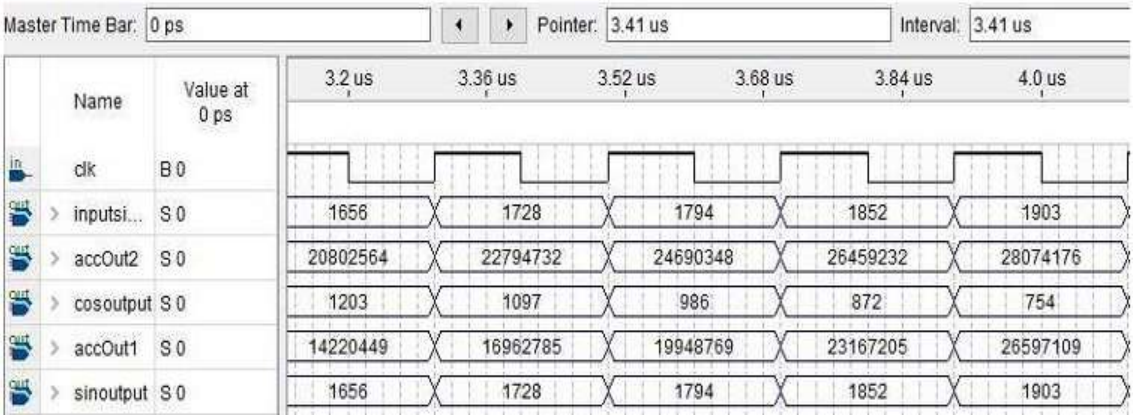
قبل البدء في التنفيذ الفعلي للدارة تصميم، أجريت بعض التجارب من خلال تنفيذ دارات بسيطة للتعرف على تطوير FPGA ولغة Verilog لغة وصف الأجهزة. من خلال تنفيذ الجهاز، تم تنفيذ جميع الكتل على حدة لضمان صحة التنفيذ. ثم تم إجراء عملية مكاملة جميع الكتل في دائرة واحدة، وأجريت بعض الاختبارات.

المرحلة الأولى من التنفيذ كانت إنشاء جدول البحث على ماتلاب، ثم تنفيذها على FPGA ومحاكاة نتائجها ومقارنتها مع نتائج من ماتلاب. وكانت النتائج متطابقة.

بعد ذلك تم تنفيذ كتلة الضرب واختبارها عن طريق ضرب القيم المخزنة في جدول البحث مع بعض القيم المحددة مسبقا ومقارنة النتائج مع محاكاة ماتلاب لعمليات الضرب نفسها.

وكانت هذه المرحلة من الاختبارات هامة لضمان صحة عملية الضرب لأن القيم في جدول البحث هي قيم جيب، وضرب قيم الجيب صعبة على مستوى الأجهزة، لأن المطور ينبغي أن يتأكد أن أول بت من البيانات المضروبة هو بت جيبي ولا يعتبر ذلك عند حساب القيمة. تتم معالجة بت الجيب في عملية ضرب قيم الجيب في Matlab تلقائيا ويجب على المطور ألا يقلق بشأن ذلك.

يبين الشكل (19) بعض نتائج محاكاة عملية الضرب.



الشكل (19) محاكاة ضرب إشارة مرجعية لموجة جيبية

بعد ذلك تم تنفيذ وحدة UART على التواصل مع تطبيقات الكمبيوتر المضيف عن طريق إرسال واستقبال بعض البيانات.

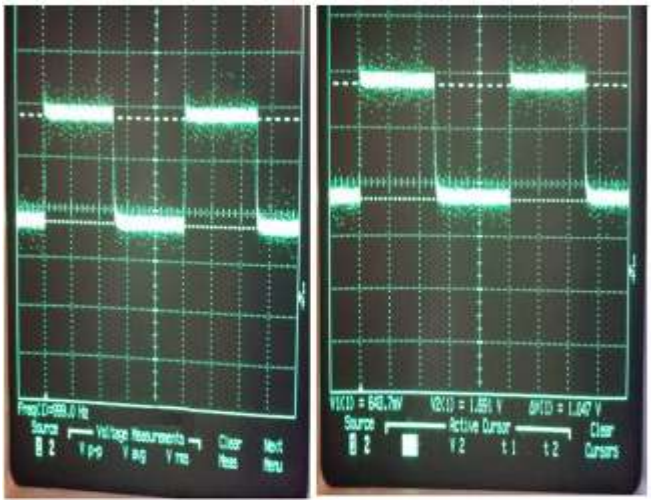
تتكون وحدة UART من ثلاث وحدات الداخلية وهي TX، RX، ومولد معدل buad. وكانت أول تجربة لاختبار وحدة UART هي حلقة تكرار عملية إرسال / استقبال. وأرسلت بعض القيم المحددة مسبقا عبر وحدة TX وتم تلقيها عبر وحدة RX، وتمت مقارنة القيم المستقبلة مع القيم المرسلة وكانت متطابقة. وقد تم اختبار الثاني من وحدة TX عن طريق إرسال مصفوفة بايتات إلى الكمبيوتر المضيف والتأكد من صحة تقسيم القيم 32–بت وقراءتها بشكل صحيح. ثم تم إرسال نتائج عمليات الضرب من قيم جدول البحث وبعض القيم المحددة مسبقا للكمبيوتر المضيف عن طريق وحدة TX وتم إرسالها بشكل صحيح دون أي خطأ.

وكانت المرحلة التالية من التنفيذ هي تمكين واختبار ADC الداخلي في رقاقة FPGA. وتم تطبيق بسيط التنفيذ لاختبار ADC باستخدام الجهد كمصدر الإشارات التماثلية متغير.

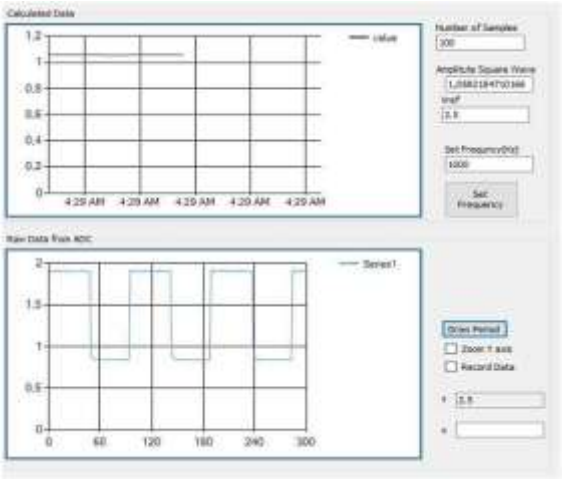
المرحلة المقبلة من التنفيذ هي إنشاء كتلة مولد موجة مربعة في تصميم FPGA. تم اختبار هذه الكتلة باستخدام راسم إشارة والذي يظهِر سعة وتردد إشارة الإخراج. كانت إشارة خرج موجة مربعة بدون أي تشويه في الشكل ومع وتيرة مستقرة من التردد المطلوب. بعد ذلك، تم تصميم وتجميع دارة تعديل المستوى. هذه الدائرة هي المسؤولة عن تغيير سعة الموجة المربعة التي تم توليدها من قبل FPGA. تم اختبار هذه الدارة باستخدام مولد وظائف لتوفير إشارة دخل بتردد معين وراسم إشارة لإظهار إشارة الدخل وإشارة الخرج بعد تغيير السعة مع جهاز قياس الجهد. النتيجة كانت جيدة ولم يكن هناك أي تشويه في إشارة الخرج.

المرحلة الأخيرة هي تنفيذ جميع الكتل المطلوبة في تصميم واحد وإجراء بعض التجارب مع إشارات دخل مختلفة على ترددات وسعات مختلفة. بسبب إزاحة ADC المستمرة في BemicroMax10 فإن أقصى قدر من السعة التي تم قياسها بشكل صحيح كان أقل من 2.5 V (إشارة الجهد ADC المرجعية 2.5 V). وكانت السعة القصوى نحو 1.7 V لأن الإزاحة المستمرة تساوي تقريباً 0.8 V.

يظهر الشكل رقم (20) والرقم (21) إشارة الدخل الفعلية لـ 1 Vp-p عند 1 كيلوهرتز على راسم الإشارة والرسم البياني للقيم المحسوبة بالمقارنة مع القيم المأخوذة مباشرة من ADC.

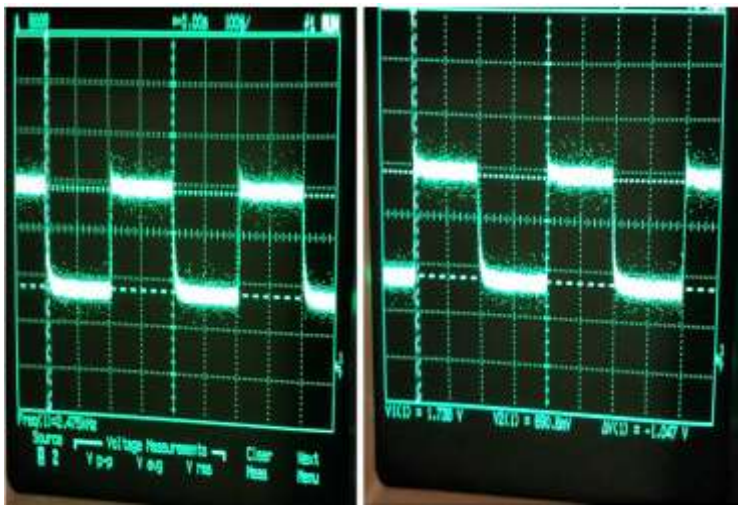


الشكل (20) شاشة راسم الإشارة عند إشارة دخل 1 كيلوهرتز

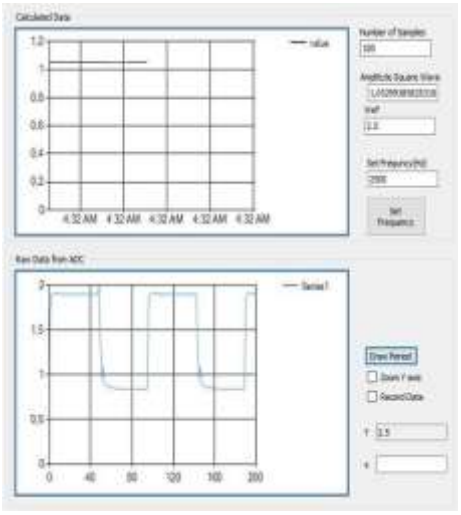


الشكل (21) قياس السعة عند 1 كيلو هرتز

الشكل رقم (22) والرقم (23) تظهر إشارة الدخل الفعلية لـ 1 Vp-p عند 2.5 كيلوهرتز على راسم الإشارة



الشكل (22) شاشة راسم الإشارة لإشارة دخل 2.5 كيلو هرتز



الشكل (23) قياس السعة عند 2.5 كيلو

والرسم البياني للقيم المحسوبة بالمقارنة مع القيم المأخوذة مباشرة من ADC.

الاستنتاجات والتوصيات

تعمل الدارة المنفذة بكفاءة مع مستويات سعة متعددة على ترددات مختلفة في بيئة صاخبة.

• تنفيذ مكبر الإحكام الرقمي على FPGA باستخدام طريقة المربعات الصغرى هي واحدة من التصاميم الأقل استهلاكاً للموارد وهي مناسبة للتطبيقات منخفضة التكلفة.

• تم تنفيذ هذا التصميم على رقاقة FPGA من شركة ألتيرا، ولكن يمكن تنفيذها بسهولة في FPGA آخر من البائعين الآخرين.

• توصيل الدارة إلى متحكم صغري مع شاشات LCD لعرض النتيجة هو أمر ممكن مع بعض التغييرات الطفيفة على التصميم الأصلي.

• التطوير المستقبلي للدارة سهل لأن التنفيذ على رقائق FPAG مرن جدا ويمكن أن توسعته بسهولة للتكيف مع أي شرط جديد لأي تطبيق مخصص.

المراجع

[1] www.thinkSRS.com, "*About Lock-In Amplifiers Application Note #3*," thinkSRS. [Online].

[2] D. G. Armen, "*Phase sensitive detection: the lock-in*," The University of Tennessee, 2008.

[3] L. s. Orozco, "*Synchronous Detectors Facilitate,Precision, Low-Level Measurements,"Analog Dialogue*, 2014.

[4] A. Devices, "*Synchronous Demodulator and Configurable Analog Filter ADA2200*," 2014.

[5] Q. Wang "*Implementation of digital lock-in amplifier based on system generator* ". Published in IEEE International Conference on Signal and Image. 2016

[6] S. Recovery, "*The Analog Lock in Amplifier Technical Note TN 1002*," 2008.

[7] S. J. Miller, "*The Method of Least Squares," Mathematics Department Brown University*.

[8] Tomasz Starecki, "*Comparison of FFT and LMS applied*" Institute of Electronic Systems,Warsaw University of Technology,, Warsaw.

[9] Altera, "*Development Kits And Cards*," Altera, [Online]. Available: https://www.altera.com/products/boards_and_kits/all-development-kits.html.

[10] Xilinix, "*Boards, Kits, and Modules*" Xilinix, [Online]. Available: http://www.xilinx.com/products/boards-and-kits.html, Last visit 1/2/2018.

[11] Altera, "*BeMicro Max 10 -Altera Wiki*" Altera, [Online]. Available: http://www.alterawiki.com/wiki/BeMicro_Max_10. Last visit 1/2/2018

[12] PerkinElmer, "*The Digital Lock-in Amplifier TECHNICAL NOTETN 1003*".