مجلة جامعة تشرين للدراسات والبحوث العلمية _ سلسلة العلوم الهندسية المجلد (29) العدد (1) 2007
Tishreen University Journal for Studies and Scientific Research- Engineering Sciences Series Vol. (29) No. (1) 2007

ترانزستورات (JFET) المطبقة في تقنية الحواسيب

الدكتور جبر حنا*
الدكتور معين يونس**

(تاريخ الإيداع 28 / 11 / 2006. قبل للنشر في 2007/3/13)

□ الملخّص □

يتطلب استثمار GaAs في دارات المنطق الرقمي تصميماً خاصاً ، لأن فتح البوابات سريع جداً ،كما أن نسبة التأخير في الشريحة إلى تأخيرات الاتصال خارج الشريحة هي أكبر في السيليكون، حتى في الحواسب الفائقة.

ونعلم أن الاتصال بين شريحة وأخرى هو عامل أكثر أهمية في زمن دورة الحاسب من تأخير البوابات على الشريحة وهذا يفترض وجود مستويات أعلى من الدارات التكاملية وبنية معالجات جديدة ضرورية قبل أن تعطي تقنية GaAs فوائد حقيقية في الحواسب العالية الأداء .

تطورت حواسيب GaAs بإنتاج شريحة مفردة لمعالج GaAs وشريحة مفردة لمعالج الفاصلة العائمة ،وبوجود حقل وصل من مادة GaAs أثر إيجابياً على عملية تصنيع الترانزستورات.

والهدف من هذا المقال تطوير واثبات تقنية الترانزستورات الحقلية المعززة JFET المصنوعة من أنصاف النواقل GaAs وبالإضافة إلى إنتاج معالج ميكروي لمعالجة نسبة معطيات كبيرة جداً في الزمن الحقيقي .

الكلمات المفتاحية: أنصاف النواقل، ترانزستورات حقلية، المعالجات الميكروية، الشيفرة المترجمة، مسجلات المعالج.

* أستاذ مساعد في قسم الحاسبات والتحكم الآلي بكلية الهندسة الميكانيكية والكهربائية-جامعة تشرين – اللاذقية – سورية.
** أستاذ مساعد في قسم الإلكترونيات والاتصالات بكلية الهندسة الميكانيكية والكهربائية-جامعة تشرين – اللاذقية – سورية.

مجلة جامعة تشرين للدراسات والبحوث العلمية _ سلسلة العلوم الهندسية المجلد (29) العدد (1) 2007
Tishreen University Journal for Studies and Scientific Research- Engineering Sciences Series Vol. (29) No. (1) 2007

JEFT Transistors Implemented in Computer Technique

Dr. Jabr Hanna *
Dr. Mouin Younes **

(Received 28 / 11 / 2006. Accepted 13/3/2007)

□ ABSTRACT □

Compassing GA-AS entirely in digital logic circuits requires special design because of the high speed opening of gates as well as the delay rate that spears inside the device to the out contact delays are more in silicon.

We know that the contact between one device and another is more important in the count cycle than device gate delay, and that supposes high levels of integrated circuit and new necessary cpu architecture before GA-AS technique gives useful advantages in high performance computer.

GA-AS computers improved by producing single processor device and a single floating point processor device. By contact field of GA-AS we will get a positive effect in transistor product.

The object of this project is to optimize enhanced GA-AS field transistor technique and build a micro processor for processing big rate of data in real time.

Keywords: Semiconductor, Field transistor, microprocessor, Complication code, Processor registers.

***Associate Professor, Department of Computer and Automatic Control, Faculty of Mechanical and Electrical Engineering, Tishreen University, Lattakia, Syria.**
****Associate Professor, Department of Communication, Faculty of Mechanical and Electrical Engineering, Tishreen University, Lattakia, Syria.**

مقدمة:

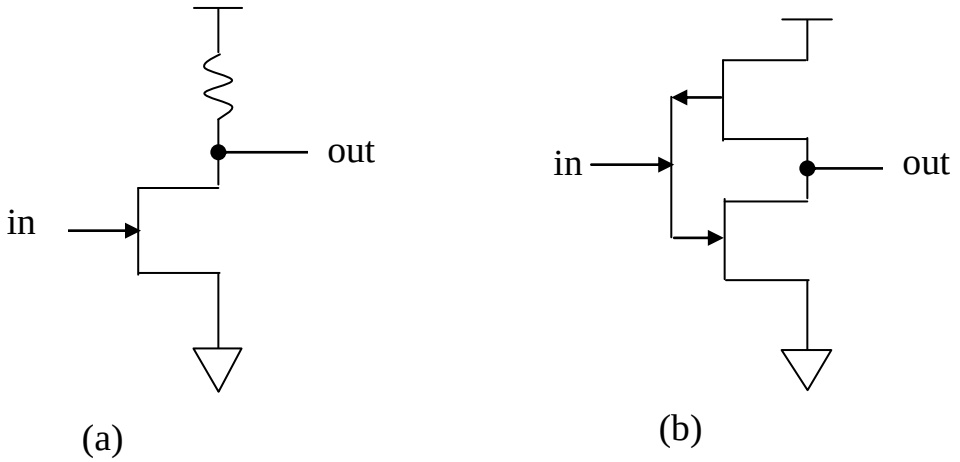
يتم التركيز عادةً على تقنيات أنصاف النواقل(غاليوم –ارسند GaAs)من أجل السرعة الرقمية العالية في الدارات التكاملية ، وذلك نتيجةً لاستجابة ترانزستورات GaAs للقدح بشكل أسرع ،والاستهلاك الأقل للطاقة من تقنيات ترانزستورات السليكون .

وقد كان لها دور كبير في تطور الحواسب الفائقة والمعالجات الميكروية ذات السرعات العالية كمعالجات الإشارات الرقمية كونها مقاومة للحرارة العالية وإشعاع الأيونات بشكل أكبر من غيرها وهذه الميزة مهمة من أجل التطبيقات التي تتطلب التشغيل في ظروف دقيقة .

أهمية البحث وأهدافه:

إن خطوات إنتاج ترانزستور ذو التأثير الحقلي بوصلة معززة ذو القناة n المؤلفة بغرس ايونات في رقاقة GaAs نصف معزولة يتم بتشكيل الوصلة p-n للترانزستورات JFET وذلك بتطبيق غرس السيليكون لتشكيل منطقة n وبعدها غرس المغنيزيوم في هذه المنطقة لتشكيل المنطقة p ،وايجابية أخرى لعملية JFET هي أن خطوات الغرس يمكن أن تعكس إنتاج مادة بقناة p، وهكذا الترانزستورات بوصلة n وبوصلة p يمكن أن تجمع على الشريحة نفسها لإنتاج منطق متكامل منGaAs .

إن وصف المنطق المتكامل وعاكس الحمل المقاوم موضح في الشكل (1).[1]



الشكل (1) دارات عاكس بانصاف نواقل GaAs : عاكس الحمل المقاوم(a)، العاكس المتكامل (b)

كلتا الدارتين يمكن أن تصنعا على الشريحة نفسها متيحة لمصمم الدارة القدرة على الحفاظ على الطاقة عندما لا تكون السرعة حدية، وهذا بسيط لان في الأجهزة ذات عدد الترانزستورات القليل لا يتطلب الأمر مستويات ترجمة بين أي من تجمعات الدارات المختلفة .لذلك فإن الهدر القليل للطاقة والتعريف البسيط للترانزستور والعدد القليل

للترانزستورات في البوابة المنطقية والمعالجة السهلة تجعل تقنية الترانزستورات الحقلية المعززة E .JFET المصنوعة من GaAs مناسبة لتصنيع الدارات التكاملية ذات الحجم الكبير .

وتبين انه بالإمكان الحصول على تطبيقات الدارات التكاملية الرقمية المنخفضة الطاقة والعالية السرعة، وتم إنجاز عملية الحصول على JFET بشكل جيد في ظروف قاسية ليس فقط للحصول على جميع تقنيات السيليكون، ولكن أيضاً على جميع عمليات GaAs في ظروف مقاومة للتأثيرات الإشعاعية .

ويوجد بوابات منطقيةJFET. E حساسة للحمل على الدارات التي تحدد الخرج المروحي fan-out للبوابة ولأنواع الحمولات الأخرى ،والحمل في شبكة خاصة يتكون بشكل رئيس من المقاومة في الوصلات الداخلية، السعة بين الاتصالات الداخلية العابرة وسعة البوابة للترانزستور توصل إلى هذه الشبكة. وللحساسية تأثيرات مهمة على تطوير تصميم الدارات ولها عبء كبير جداً على البنية الهيكلية للدارة المنطقية .

إن حساسية JFET. GaAs للحمولة لها تأثير معتبر على الاتصالات الخارجية للشريحة التي من خلالها يمكن التأثير على أداء النظام بشكل معاكس فيGaAsحيث نسبة التأخير في الشريحة إلى التأخير الخارجي هو أكبر بكثير في تقنيات السيليكون وهكذا يجعل النظام يجزئ المشكلة الأكثر حدية من السيليكون حيث البوابات الأبطأ والحجم الأكبر للتكامل يقلل من تأثير الاتصالات بين الشرائح، ولذلك فإن البحث عن بنية حواسب مناسبة من GaAs يتبع بشكل قوي بالحاجة لتقليل الاتصال ضمن الشريحة .

طريقة البحث:

في تصميم معالج ميكروي يعتمد على GaAs نريد بنية هيكلية يمكن أن تطبق بشكل أولي بأقل عدد ممكن من العناصر الإلكترونية وستكون البنية قابلة للنمو لتستفيد من الزيادة في مستويات التكامل لتزودنا بفضاء عنونة أكبر.

فمن أجل تحقيق أهداف البنية نتبع فلسفة تقليل تعليمات الحاسب في تطوير بنية هيكلية تقترب من تقنية RISC حيث مجموعات تعليمات مفضلة بسيطة بخيارات قليلة للصيغة أو أنماط العنونة وهذا يتطلب أن كل تعليمة في مجموعة التعليمات البسيطة يمكن للكيان الصلب أن يكون مثالياً لتنفيذها،والتي تستخدم بأكثر تكرار في تطبيقات البرامج .

أما التعليمات الأكثر تعقيداً الأخرى فتركب حسب الحاجة خارج التعليمات البسيطة كإجراءات الاستدعاء .

لذلك فإن تقنيةRISC تحقق النتائج ببنية تحكم أكثر بساطة عادة بالكيان الصلب والتي بالإضافة لكونها سريعة جدا تترك منطقة اكبر من الشريحة لتعزيز الأداء لمسار المعطيات.

إن المعالج الميكروي ذو تقنية MIPS نفذ بتقنية أنصاف النواقل السيلكونية بنيةMIPS بواسطة مترجم والذي هو عبارة عن مجموعة تعليمات تم تحديدها بناء على أساس خدماتها كهدف من أجل المترجم المرجو، ومجموعة MIPS تعطي فكرة وكأن عملية نمذجة المترجم قد وصلت إلى هذا المستوى من الاستيعاب بحيث أن بنى الحواسب الافتراضية لتنفيذ الشيفرة المترجمة يجب أن يعاد اختبارها، وقد تم التوصل إلى أن بنية التحميل والتخزين المبسطة. وبهندسة بناء ميكروية يمكن أن تعطي أداء أفضل في تنفيذ التعليمات المترجمة أكثر من تقنية CISC .

لم يكن المقصود أن تكون تقنية MIPS مبرمجة يدوياً عند مستوى مجموعة تعليمات الآلة، وإنما الميزة الفردية للمعالج الميكروي ذو تقنية MIPS الذي تم دمجه في معالجنا المعتمد GaAs هي استخدام تنفيذ خط إنتاج التعليمات بدون تشابك في الكيان الصلب لاكتشاف المصادر المتضاربة.

فبدلاً من الشيفرة المبعوثة من قبل المترجم التي يتم إعادة تنظيمها لتلغي التضارب بواسطة أداة تدعى المنظم هناك ميزتين أساسيتين لإعادة التنظيم في زمن البرمجة بالإضافة للاكتشافات أثناء زمن التشغيل.

الأولى: أن الكيان الصلب ضروري للتحكم بتوزع المصادر واكتشاف إن التضاربات قدتم إلغاءها .

الثانية: أن التنفيذ أسرع لأنه لا توجد تعليمات معلقة أثناء انتظار التعليمة السابقة لتنتهي من المصدر .

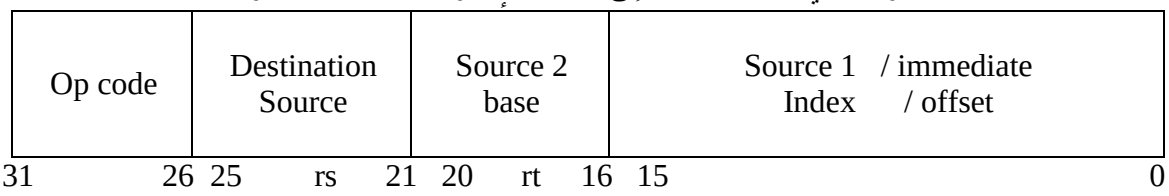
بالإضافة إلى إعادة ترتيب الشيفرة من أجل حل التضارب في خط الإنتاج، فإن المنظم يراعي حالة NOPS "حالة عدم وجود تعليمة " والتي تنشأ من التأخير الناتج عن حالة التفرع وتحميل صفحات المعطيات بتعليمات مفيدة.

التفرعات المتأخرة هي ميزة أخرى لتقنية RISC ،على الغالب فإن عملية جلب ولغي التعليمة تتبع عملية التفرع "كما تفعل تقنية CISC في أغلب الأحيان .

معظم تقنياتRISC تنفذ هذه التعليمات، وفي حالات عدم وجود تعليمة NOPS، فإنها تحشر بين هذه التعليمات، ولكن في التأخير الناتج عن تعليمة تفرع واحدة فان منظم MIPS قادر على نقل تعليمات مفيدة في تأخير التفرع بنسبة90% من وقت التأخير .

طريقة أخرى لإلقاء نظرة على ذلك هو أن المعطيات المأخوذة من MIPS توضح انه بمعدل 21% من التعليمات المنفذة أنجزت في دورة تأخير تتبع التفرع، وإذا تم جلب هذه التعليمات ولم تنفذ،فإن 21%من الدورات سيضيع.

جميع التعليمات بطول كلمة واحدة متوفرة بصيغة مباشرة أو بصيغة مسجل إلى مسجل كما هو مبين في الشكل (2)، ولها حقول ثابتة والتنفيذ في دورة واحدة وبشكل غير مشابه لمعالجات مجموعة التعليمات الأكثر تعقيداً، فأن مسار التأخير الحرج في هذا المعالج يتوضع في مسار المعطيات وليس في مسار التحكم بحيث إن زمن دورة التنفيذ يتحدد بشكل كامل بالزمن الذي تأخذه للوصول إلى المعامل وإنجاز عملية ALU وتخزين النتيجة. [2]

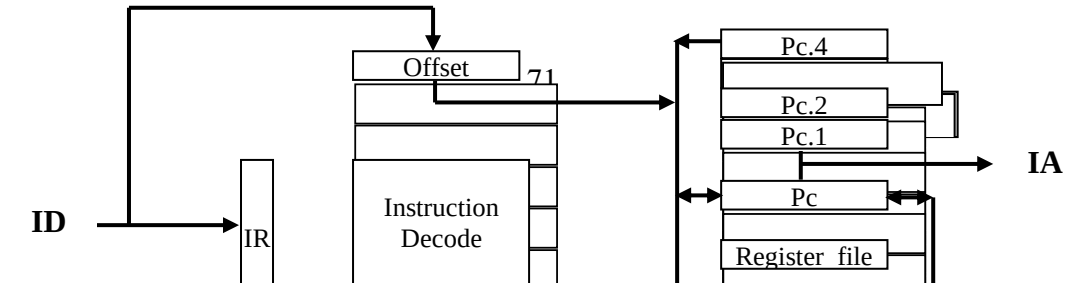


الشكل (2) صيغة كلمة التعليمة

المعالج الميكروي:

إن هندسة بناء المعالج الميكروي وتطبيقاته تم قيادتهما بواسطة تقييد عملية GaAs، لذلك فان المعالج الميكروي سيكون قابلاً للبناء،والصيغة الثابتة للتعليمة يؤدي إلى فك تشفير التعليمة بشكل بسيط .

فنحن بحاجة إلى زيادة سرعة فك التشفير، وحسابات فك شيفرة التعليمة،والتحكم في الكتل الوظيفية للمعالج الميكروي، والتحكم الباقي والأخير والمهم بدارات المعالج الميكروي، هو التحكم بخط المراحل من أجل تطبيق خط المعطيات، لذلك فإن مسار معطيات المعالج الميكروي مقسم إلى وحدات وظيفية كما موضح في الشكل(3)و تستخدم هذه الوحدات لتوظيف التعليمات بالطريقة المثلى.[3]



إن الحاسب الشخصي "PC" يحتوي على عداد للبرنامج الجاري بالإضافة إلى أحدث ثلاث قيم من أجل معالجة الاستثناءات إن ملف التسجيل يحتوي على 17مسجل أغراض عامة ومولد الصفر الثابت، والكلمات يمكن أن تزاح في كلا الاتجاهين بأي عدد من البتات بالطريقة الرياضية أو المنطقية في المزيج ألتفرعي. إن كلا المسجلين Hi– L0 يمكن أن يستخدم كمسجل أغراض عامة، ولكن يحتويان أيضاً دارات دعم عمليتي الضرب والتقسيم ،وإن وحدة الحساب والمنطق ALU تنجز جميع الحسابات المنطقية والحسابية، والإزاحة تؤمن تنسيق المعطيات الحالية.

مسجل معطيات المعامل (ODR) يرتبط بذاكرة معطيات المعامل، المسجلات المؤقتةT1,T2 تستخدم من أجل تنسيق خط المراحل، ومسجل الأحوال يتضمن الأحوال. جميع هذه المسجلات مخططة في ملف المسجل وحقل العنوان (ماعدا المسجلات المؤقتة) كما هو موضح في الشكل(4). [3]

R31 . . . . R16	General Registers
R15 . . . . R6	Optional General Registers
R5	Reserved Registers
R4	LO Register
R3	HI Register
R2	Status Register
R1	Program counter
R0	Null Register

الشكل (4) مجموعة مسجلات المعالج

التحكم بعملية الضرب بواسطة الدارات يتم في زوج المسجلات HI,LO وALU ويوفر ويتيح عملية ضرب 32بت*32بت في 16دورة وأيضا تستخدم هذه المسجلات لتطبيق خوارزمية التقسيم المتناوب والغير مخزنة ،بحيث يمكن تقسيم 64بت على32بت ونتيجة القسمة تكون في 32 بت والباقي في 32 بت في32 دورة .

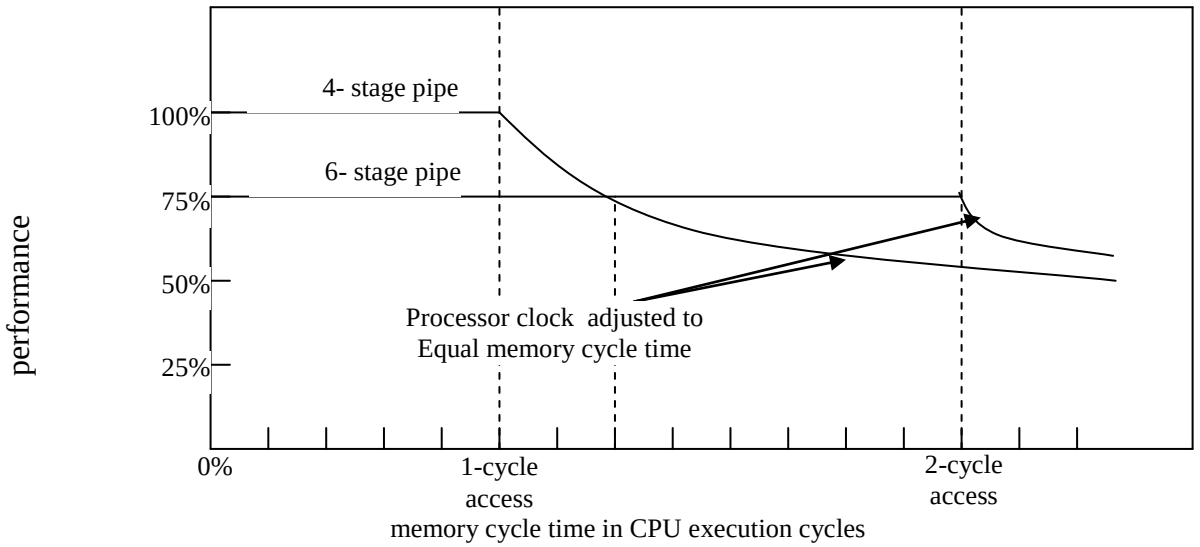
إن جميع الوحدات الوظيفية يتم الاستفادة منها خلال مختلف مراحل خط الإنتاج للتعليمة .

ومراحل خط الإنتاج تزود التدفق اللازم لتنفيذ التعليمات المتراكبة بشكل كبير OVERLUPPING لزيادة فائدة المصادر بحيث نحصل على نتيجة ذات أداء أفضل.

تحديد عدد مراحل خط الإنتاج:

إن قرار اختيار عدد ونوع مراحل تنفيذ خط الإنتاج مرتبط بشكل وثيق مع تصميم الذاكرة. وهذا القرار يركز على مشكلة توسع تنفيذ خط الإنتاج في الذاكرة ومصادر هذه الذاكرة، وتبين أن خط الإنتاج ذو أربع مراحل هو الأفضل، وعند زيادة عدد المراحل إلى خمس أو ست مراحل، فإنه سيضيف وقت أكثر للوصول إلى الذاكرة، فخط الإنتاج بست مراحل سيزود مرحلتين لجلب التعليمة ومرحلتين لقراءة أو كتابة المعامل وهذا يتطلب أن يكون لنظام الذاكرة خط إنتاج خاص كما يلي: سيتم إرسال العنوان إلى الذاكرة في أول مرحلة والوصول إلى المعطيات وتسليمها المعالج في المرحلة الثانية، لذلك يجب أن يحقق وصول جديد إلى الذاكرة في كل دورة بواسطة تراكم OVERLUPPING ، وفك تشفير العنوان بالوصول إلى شريحة الذاكرة وتسليم المعطيات، وهذا يعني أن كلمة الذاكرة التي يتسلمها المعالج خلال الدورة يجب أن تكون هي الكلمة المقروءة باستخدام العنوان المرسل في الدورة .

لقد بدا في البداية أن خط الإنتاج بست مراحل يقدم حلاً جيداً لمشكلة كبيرة وتبين أن هذا الخط زاد من التأخير في التفرع والتحميل من دورة إلى دورتين. إن جميع المعطيات التي أعطتها برامج الاختبار على تطبيقات الزمن الحقيقي والتي تم تطبيقها على خطوط إنتاج ذات 4 و5 و6 مراحل بينت أن المنظم غير قادر على نقل التعليمات المفيدة بشكل فعال إلى منافذ المعطيات، وقد تم فقد الأداء لان تعليمة nop كانت بنسبة 20 – 30 % في خط الإنتاج ذو 6 مراحل ونصف ذلك تقريباً في خط الإنتاج ذو 5 مراحل نسبة إلى خط الإنتاج ذو أربع مراحل، وفعالية أداء المعالج موضحة في المخطط الموجود في الشكل (5) والذي يظهر الأداء بالتدرج لخط الإنتاج ذو 4، 6 مراحل حيث إن دورة الذاكرة تصبح أبطأ بالنسبة إلى سرعة دورة المعالج، المحور العمودي هو شبكة معالجات خلال وضعها الطبيعي لتطبيقات على خط إنتاج ذو 4 مراحل والمحور الأفقي هو زمن الوصول إلى الذاكرة .



الشكل (5) الأداء لخط إنتاج ذو أربعة مراحل وست مراحل

في الحقيقة وبسبب التأخيرات المنطقية الزائدة والمشاكل في التزامن بين نبضات مراحل خط إنتاج الذاكرة

ونبضات المعالج فان الأداء في خط الإنتاج ذو 6 مراحل قد تراجع قبل وصول زمن الوصول إلى الذاكرة مرتين من زمن دورة المعالج، مشكلة أخرى في خط الإنتاج ذو ست مراحل، هو أنه يحتاج إلى متحكم معقد يقود خط الإنتاج بسبب الحالات الزائدة.

وفي خط الإنتاج ذو أربع مراحل يمكن تشغيل المعالج بنبضات أبطأ بـ25% على الأقل من خط الإنتاج ذو ست مراحل مع الحفاظ على تحقيق نفس الأداء

خط الإنتاج:

يمكننا تقسيم التعليمات إلى مجموعتين عامتين: تعليمات حسابية وتعليمات التعامل مع مصادر الذاكرة، تنهي التعليمات تنفيذها في المراحل الأربع لخط الإنتاج مع أن بعض التعليمات لا تستخدم المراحل الأربع، هذه المراحل موضحة في الشكل (6). [4]

Branch	IF	ALU	OF	WB			
Load		IF	ALU	OF	WB		
Store			IF	ALU	OF	WB	
ALU or Barrel				IF	ALU	OF	WB

1 instruction branch delay
IF: instruction fetch
ALU: file access/ALU operation or shift operation
OF: operand fetch or store
WB: register write back

الشكل (6) تدفق خط إنتاج ALU

التعليمات المعنونة من قبل عداد البرنامج يمكن الوصول إليها خلال المرحلة الأولى لخط الإنتاج وهذه المرحلة تدعى جلب التعليمة، الجزء الأقل أهمية من التعليمة المجلوبة ربما يحتوي على قيمة معطيات، لذلك فانه يتم تحميلها في مسجل الإزاحة بالوقت نفسه مع تحميل مسجل التعليمة.

محتويات مسجل التعليمة تستخدم في مرحلة خط إنتاج الـ ALU ، بحيث إن حقل عنوان المعامل لمسجل التعليمة لا يتطلب فك تشفير ويرسل مباشرة إلى المسجلات، لذلك يمكن الوصول إلى المعامل مباشرة. التعليمات البسيطة تفك تشفير خطوط التحكم لتصبح ذات قيمة قبل أن يكتمل الوصول إلى المعامل، لذلك فانه ليس من الضروري وجود تعليمة لفك تشفير مرحلة خط الإنتاج، يتم ضبط المعاملات في الوحدة الحسابية والمزيح التفرعي، مما يسمح لكلا الممرين أن يكونا قابلين للاستخدام خلال النصف الثاني من مرحلة خط الإنتاج. تحسب النتيجة وترسل إلى المسجل T1 حيث يتم تحميلها في نهاية خط إنتاج الـ ALU وربما يتم تحميل النتيجة في عداد البرنامج أو المسجلات L0,HI أو مسجل الأحوال. فإذا كانت عملية التخزين في حالة تقدم من حيث التنفيذ فان المعطيات سترسل إلى مسجل معطيات المعامل (ODR) خلال النصف الثاني من خط الإنتاج لـALU.

في بداية المرحلة الثالثة لخط الإنتاج يتم جلب المعامل، فمحتويات المسجل T1 ستكون إما نتيجة الحسابات أو عنوان المعامل وفي كلتا الحالتين فان المحتويات ستكون على ممر عنوان المعامل OA. إن معامل الذاكرة يمكن أن يقرأ أو يكتب خلال هذه المرحلة ،إذا كانت العملية هي قراءة فان المعامل سيضع محتويات المكان المعنون على ممر المعطيات للمعامل والذي يكون ممكناً على الممر الداخلي والذي يجعل المعطيات متاحة للمسجل T1 خلال النصف الثاني من المرحلة. وسيتم تحميل المسجل T2 بمعامل الذاكرة خلال عملية التحميل إزاحة العنوان في T1، وإلا فان T1 ينقل ببساطة إلى T2 .

تتم عملية إعادة الكتابة في المرحلة الأخيرة من خط الإنتاج حيث ينقل T2 إلى ملف التسجيل إذا كان الوقت الاصغري لدورة المعالج أكثر من الوقت الذي تحتاجه من أجل المسار الحدي (الحرج) في مرحلة خط الإنتاج لـ ALU والتي تبدأ بوضع مسجل التعليمة لعناوين المعامل وتنتهي بتحميل النتيجة في المسجل T1، وبين هذه العمليات فان ملف التسجيل يجب أن يكون متاحاً الوصول إليه ويتم نقل المعاملات إلى ALU وعملية الجمع تكون قد أنجزت وتم وضع النتيجة في المسجل T1 .إن 40% من هذه الدورة ينجز من أجل نقل المعطيات على الممرات الداخلية بين الوحدات الوظيفية، أما الاستراحة في هذه الدورة فتتم بين الجامع وملف التسجيل.

إن التصميم التقليدي للمعالج الميكروي يستخدم الممرات من أجل الاتصال بين الكتل الوظيفية المختلفة وعلى الرغم من أن معظم الأداء لدارات GaAs يتم خارجها إلا أن الاتصالات الداخلية يجب أن تكون قصيرة وبأقل قدر ممكن من حالات العبور.

كما في السيلكون تماماً تستخدم تقنية الشحن المسبق لتقليل زمن النقل عبر الممرات، فزمن الشحن المسبق للمرات يساوي إلى زمن تشغيل أبطأ وحدة وظيفية .

إن الوحدات الوظيفية في تقنية GaAs تعمل بسرعات أعلى بكثير من مثيلاتها في السيليكون، مما يجعل زمن الشحن المسبق في تقنية GaAs أقل بشكل واضح من تقنية السليكون، ويجب أن يتم التحكم بالنبضات بشكل جيد أيضاً لتنظيم زمن الشحن المسبق، إن تصميم الممر عامل أساسي في المسار للمعالج الميكروي، لذلك فانه يلقى اهتماماً كبيراً.

يتم استخدام تنسيق ثنائي الطور من النبضات الغير متراكبة حيث يتم تخطيطها بشكل جيد مع الممر معطية نبضتين فعالتين في كل مرحلة من خط الإنتاج حيث يتم عندها استخدام الممرات من أجل نقل المعطيات .

يجب أن يتم التحكم بالنبضات بحيث يكون الخطأ في هذه النبضات (CLOCK SKEW) أقل من نصف نانو ثانية بين المسجلات، فمن أجل إنقاص هذا الخطأ في النبضات فان جميع المسجلات يتم قدحها من البت الأقل أهمية مما يعطي للجامع وقت أكبر لان البتات الأكثر أهمية يمكن أن تمثل وظيفة البتات الأقل أهمية.

تطبيقات ALU:

إن وحدة الحساب والمنطق للمعالج الميكروي هي مثال جيد عن قرارات تصميم الدارات المصنوعة بتقنية GaAs

فهي مركب من جامع منفصل ووحدات منطقية والجامع أكثر تعقيداً بكثير، إن تصميم جامع عالي السرعة بتقنية GaAs يجب أن يحقق أقل حمل ممكن للبوابات وبالوقت نفسه يحتفظ بأقل عدد من البوابات في أطول مسار، الجدول (1) يبين أربعة أنواع للجامع.

الجدول (1) أنواع الجامع

	Transistors in circuit path	Average load	Maximum load
Ripple-carry	82	1	2
Carry select	37	1.9	18
Carry-lookahead modified	11	3.4	8
Brent & Kung	23	1.5	3

إن التخطيط في تقنية GaAs أكثر حدية من تقنية السيلكون كما في تقنية الدارات التكاملية الأخرى يفضل الاستخدام الفعال للترانزستورات، لأن الاستخدام الفعال للترانزستورات يجعلها اقتصادية، ففي تقنية GaAs يتم السيطرة على التأخير الحاصل في البوابات بتقنية السيلكون بشكل كبير بحيث إن العوامل الأخرى يمكن أن تهمل والتعقيدات الزائدة يمكن أن يتم حلها إذا تم إنقاص عدد تأخيرات البوابات في المسار الحرج .

معالج الفاصلة العائمة (المعالج المساعد):

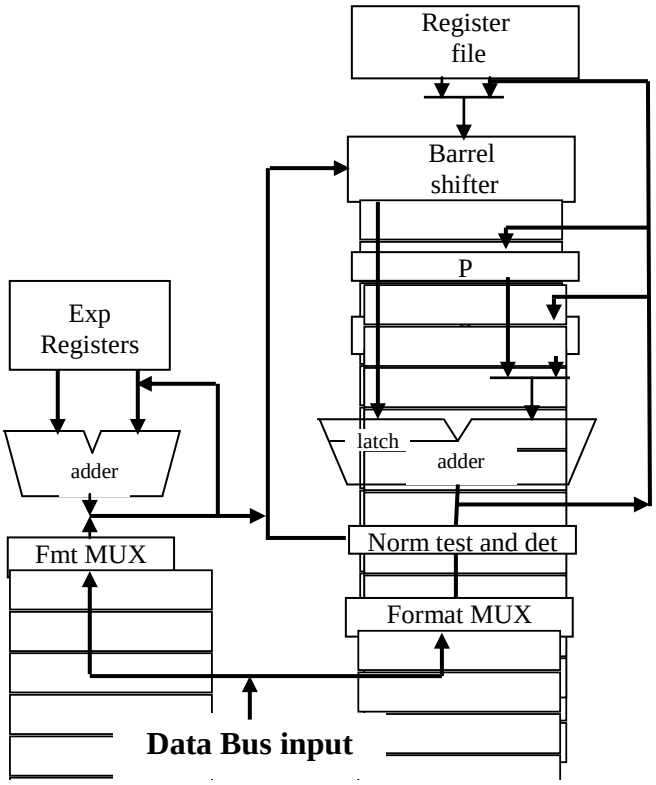
من أجل التنفيذ الفعال للعمليات الرياضية التي تحتوي فاصلة عائمة فقط تم تطوير شريحة معالج اختياري وهذا المعالج وضع بالشكل الامثل لتنفيذ العمليات الرياضية ذات الفاصلة العائمة على 32 أو 64 بت من المعطيات حسب المعيار الدولي IEEE-754، وبسبب التعقيدات في عمليات الفاصلة العائمة فان المعالج الخاص بها لا يتبع بالمعالج الرئيس نفسه لتنفيذ دورة التعليمة ومن جهة أخرى، فإن كل تعليمة للفاصلة العائمة هي عملية كاملة.

يعتمد المعالج المساعد على المعالج الرئيس في الوصول إلى الذاكرة، يلتقط المعالج المساعد تعليمات الفاصلة العائمة عندما تجلب من قبل المعالج الرئيس، فخلال تنفيذ العمليات الرياضية الخاصة بالفاصلة العائمة، فإن عمل المعالج المساعد مستقل عن المعالج الرئيس من أجل تعليمات التحميل والتخزين للفاصلة العائمة، وعندها المعالج الرئيس يحسب العنوان الذاكري ويسمح للمعالج المساعد بتحميل المعطيات أو تخزين المعطيات الموجودة في المعامل، وفي حالات التفرع الشرطي للفاصلة العائمة فان المعالج المساعد يزود المعالج الرئيس بالإشارات نعم/لا فيقوم المعالج الرئيس بحساب عنوان التفرع المطلوب ويقوم بتحميل هذا العنوان في PC إذا كانت الإشارة القادمة من المعالج المساعد هي نعم.

ومن أجل توافق أكبر بين المعالجين فان تعليمتين حسابيتين للمعالج المساعد توضعان في تعليمة بطول 32 بت، ومن أجل دعم أكثر (التوافق بين العمليات)، فان معالجين تفرعيين مساعدين (بالإضافة إلى معالجين آخرين) يمكن استخدامها ضمن المعالج الرئيس، تم إضافة هذه الميزة إلى تصميم الربط وبشكل أساسي لدعم تطبيقات الضرب المركزة لان الضارب الكامل لن يركب على شريحة المعالج المساعد، إن تعليمات الضرب تستخدم خوارزمية تناوب 2 بت في الدورة الواحدة والنتيجة هي أن زمن تنفيذ الضرب أبطأ بـ 3–4 مرات من زمن تنفيذ التعليمة، المنظم يساعد

المترجم في جعل تعليمات الفاصلة العائمة بشكل رزم وفي جدولة تدفقات محسوبة تحوي فاصلتين عائمتين وفاصلة ثابتة.

(الشكل 7) هو المخطط الصندوقي للوحدات الوظيفية الأساسية لمعالج الفاصلة العائمة وتستخدم عناصر المعالجة المستقلة حيث يكون ممكناً لجعل العمليات تفرعية بشكل أعظمي ضمن شريحة المعالج المساعد، يقسم المعالج المساعد إلى قسمين نصف مستقلين، قسم لربط الممر وقسم معالجة العمليات الرياضية في القسم الرياضي، فان المعالج ينجز العمليات كافة على التوابع المتضمنة التوضيحات، بينما يقوم المعالج المتمم بالعمليات الحسابية،تم إضافة بعض المكونات الصلبة لجعل الزمن ثابت من أجل تنفيذ جميع التعليمات ومن دون تابعية لعامل من أجل السهولة في جدولة التعليمات من قبل المنظم .على أية حال بسبب طبيعة العمليات التي يقوم بها المعالج المساعد فإن تمرير المعطيات والتحكم بالإشارات هو أبسط في المعالج المساعد ،وكل عملية رياضية للفاصلة العائمة تتبع تسلسل ثابت من العمليات والذي يحتاج عدة دورات معالجة في التعليمة بشكل غير مشابه للمعالج الرئيس الذي يجب أن ينفذ التعليمة الجديدة في كل دورة وبمجموعة جديدة من العوامل.[4]



الشكل (7) مسار المعطيات في المعالج المساعد الرياضي

يقرأ المعالج المساعد مجموعة من العوامل من ملف التسجي[illegible]عليمة وبعدها عند نهاية عدة خطوات من التنفيذ يتم كتابة النتيجة في المسجل الهدف وهذا يقلل ال[illegible] على ممرات العوامل للمعطيات الداخلية ويسمح بفك تشفير إشارات التحكم بشكل متقدم وتدويرها إلى مكونات ممر المعطيات، وهكذا لا توجد حاجة لوقت من أجل فك التشفير على طول دورة المعالجة ويعتمد زمن دورة التنفيذ على التأخيرات في مسار المعطيات بشكل كلي.

يحتوي المعالج المساعد في مسجل الأحوال على شيفرات ناتجة عن العمليات الحسابية، ووحدة ربط الممر تستخدم هذه كأعلام لتنفيذ تعليمات التفرع الشرطي المتوافقة مع تنفيذ تعليمات الحساب في قسم معالجة العمليات الحسابية، وهذا يسمح للمعالج الرئيس بالتفرع في حال كان المعالج المساعد مشغول أو في حال أن التعليمة الأولى من التعليمتين الحسابيتين قد تم تنفيذها بينما ما تزال الأخرى قيد التنفيذ، وبهذه الطريقة، فإن تأخير جلب التعليمة الذي ينتج في الحالات الأخرى من التفرع إلى كتلة جديدة من الشيفرة يمكن تلافيه .

إن المعالج المساعد يستخدم نبضات الساعة نفسها التي يستخدمها المعالج الرئيس وهذا ما تفرضه ضرورة التعاون الوثيق بين المعالجين.

بشكل خاص إن تصميم ربط الممر يتطلب من المعالج المساعد القيام بتحميل التعليمات والعوامل ووضع النتيجة في المكان الصحيح في دورة تنفيذ المعالج الرئيس، وخلال تعليمات التفرع الشرطي فان المعالج المساعد يحضر للمعالج الرئيس خط الاختبار الشرطي السليم في الوقت المناسب خلال مرحلة خط الإنتاج المناسبة في المعالج الرئيس ومن أجل تسهيل ذلك، فإن معلومات الحالة الداخلية للمعالج المساعد متاحة على مخارج المعالج الرئيس، يستخدم المعالج المساعد معلومات الحالة هذه لاكتشاف حالات انتظار الممر والاستثناءات من خلال مراقبة تعاقب مراحل خط الإنتاج في المعالج الرئيس.

إذا سبب المعالج الرئيس خطأ أثناء جلب التعليمة من الذاكرة فان ربط الممر بالمعالج المساعد يجب أن يدرك ذلك وربما يقوم بعملية إفشال للعملية الحاصلة على الممر.

لضمان عمل المعالج الرئيس والمساعد معاً فانه سيتم توليد النبضات من مصدر خارجي عام وتمرر بعناية إلى كلا الشريحتين، ضمن كل شريحة فان عملية التزامن الدقيقة يتم التحكم بها من خلال تقليل عدد البوابات المنطقية، وتعزل شريحة الدخل والخرج عندما تكون نفسها على كلا الشريحتين لضمان التوافق في أزمنة التأخير للدخل والخرج.

إن زمن تنفيذ دورة المعالج صغير ولا يوجد احتياط كبير من أجل الأخطاء في نبضات الساعة لذلك يجب أن يراعى ذلك بدقة خلال التصميم.

ربط الذاكرة:

يحتاج المعالج إلى ذاكرة ذات عرض حزمة كبيرة لفصل ممر التعليمات وممر العوامل فان المنطقة الميتة من الشريحة تحدد بالمكان الذي تشغله لوحة الدخل والخرج وليس بعدد الترانزستورات، إن المنطقة الميتة الخالية بين المنطقة الفعالة ولوحة الدخل والخرج تملأ بالذاكرة السريعة.

كما في المعالجات ذات الدورة عالية السرعة، فان ربط الذاكرة ونظام الذاكرة متكاملان وبالغا الأهمية في إجراء التصميم، وتأخير الاتصال يلعب دوراً أكثر وضوحاً في تقنية GaAs حيث إن هناك مشكلة في تأخير الوصول إلى الذاكرة ومن أجل تحقيق الهدف المرجو لتنفيذ دورة بزمن قصير جداً /نانو ثانية/ فإن الزمن الذي تستغرقه الإشارة للسير عبر الممر إلى الذاكرة وزمن الرجوع مهمين جداً .

للحفاظ على الأداء فان زمن الوصول لنظام الذاكرة يجب أن يتفق مع زمن تنفيذ دورة المعالج في أغلب الاتصالات بالذاكرة، فالنظام الذاكري الهرمي ضروري من أجل وضع جميع التطبيقات الصغيرة، وهذا ما يوضح وجود ذاكرة سريعة (كاش) تتوضع بالقرب من المعالج، ومن أجل العديد من الأنظمة، فإن عازل متوسط بين الذاكرة الرئيسة والذاكرة السريعة ربما يستخدم من أجل التخزين المؤقت للمعطيات المحذوفة من الذاكرة السريعة من أجل استخدامها مرة

أخرى إذا تطلب الأمر ذلك، لا تؤثر التأخيرات الفيزيائية على إشارات المعطيات فقط، ولكن تزيد من الأخطاء في نبضات الساعة بين المعالج والذاكرة السريعة، وقيمة الخطأ المتوقع لنبضات الذاكرة السريعة هو 5 – 10 % من الزمن الكلي للوصول إلى الذاكرة السريعة.

الاستنتاجات:

1. إثبات أهمية تقنية GA-AS المستخدمة في الترانزستورات الحقلية من أجل تصميم أنظمة تعمل بسرعات ودقة عاليتين.
2. التصميم الأمثل للمعالج المكروي من حيث تقنية البنية الداخلية يحقق نسبة معالجة معطيات كبيرة جداً في الزمن الحقيقي.

جدول للمصطلحات الموجودة في البحث:

JFET: Junction Field Effect Transistor
GaAs: Gallium Arsenide
RISC: Reduced Instruction Set Computer
MIPS: Millions Instructions Per Second
CISC: Complex Instruction Set Computer
PC: Personal Computer
ALU: Arithmetic Logic Unit
ODR: Operated Data Register
IEEE: Institute of Electrical and Electronic Engineers

المراجع:

1) SHUR,M.S.- *GA-AS devices and circuits*, springer, 1987, *670.*

2)KIA,F.-CHANG,C.Y.- *GA-AS high speed devices ,physics ,technology and applications*, Wiley-IEEE, 1994, 612.

3)KANE,G.-HEINRICH,J.- *MIPS RISC architecture*, Prentice-Hall, 1992, *544.*

4)SWEETMAN,D.- *See MIPS Run*, Morgan Kaufnann, 1999,*512.*